

## SEMICONDUCTOR MEMORY

**Publication number:** JP9204790

**Publication date:** 1997-08-05

**Inventor:** OKADA TERUTAKA; TAKASHIKA TERUHISA; KOJIMA FUMIO; YOSHII YASUHIRO; YABUOSHI NORIYUKI; TAKEDA TOSHIFUMI; SAKAI KIKUO; WADA TAKESHI; KAWAMOTO HIROSHI

**Applicant:** HITACHI LTD; HITACHI VLSI ENG

**Classification:**

**- International:** G11C29/04; G11C16/06; G11C17/00; G11C17/18; G11C29/00; G11C29/04; G11C16/06; G11C17/00; G11C17/14; G11C29/00; (IPC1-7): G11C17/18; G11C16/06; G11C17/00; G11C29/00

**- european:**

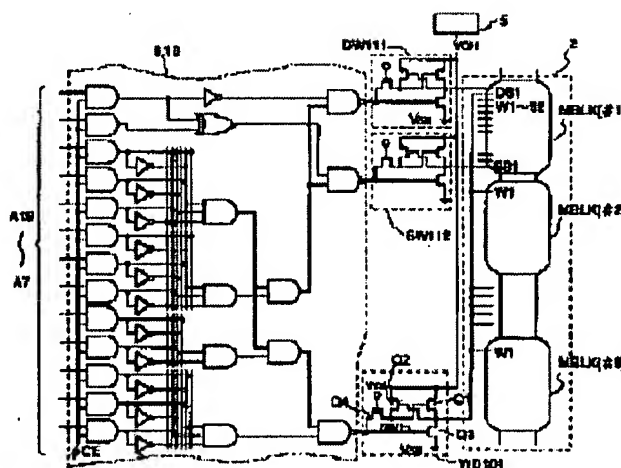
**Application number:** JP19960031457 19960124

**Priority number(s):** JP19960031457 19960124

Report a data error here

### Abstract of JP9204790

**PROBLEM TO BE SOLVED:** To increase an access speed of a ROM of which power source voltage is made low. **SOLUTION:** In a mask ROM having a NOR type memory array (2) of sub-bit line structure, when a memory cell transistor selected by word lines (W1-W32) and a selecting transistor selected by selecting lines (DS1, SS1) are interposed in a current path from a selected bit line to a ground potential, a boosting circuit (5) is adopted as a power source circuit of drivers (DW11, WD101) utilized for selecting/driving word lines and selecting lines. And high speed access can be realized by increasing conductance of these selected transistors, increasing current variation caused there, and improving a detecting speed of a sense amplifier detecting the variation.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-204790

(43)公開日 平成9年(1997)8月5日

(51)Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 17/18			G 1 1 C 17/00	3 0 6 A
17/00				E
16/06			29/00	3 0 1 B
29/00	3 0 1		17/00	3 0 9 D

審査請求 未請求 請求項の数10 F D (全 29 頁)

(21)出願番号 特願平8-31457

(22)出願日 平成8年(1996)1月24日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233468

日立超エル・エス・アイ・エンジニアリング株式会社

東京都小平市上水本町5丁目20番1号

(72)発明者 岡田 輝孝

東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイ・エンジニアリング株式会社内

(74)代理人 弁理士 玉村 静世

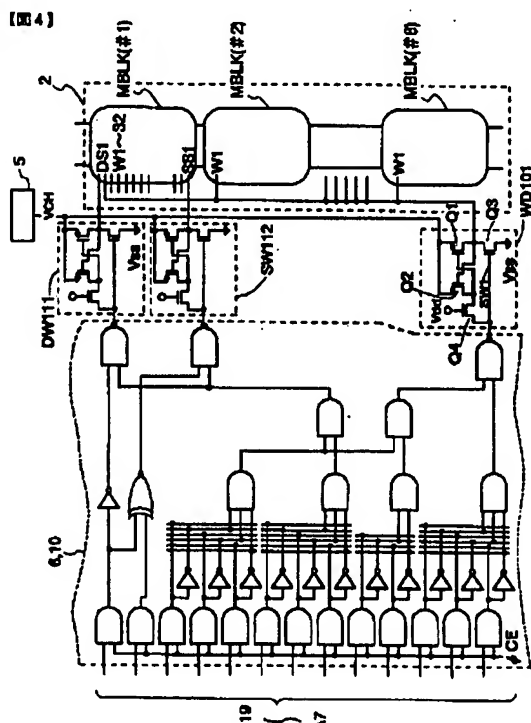
最終頁に続く

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】 電源電圧が低電圧化されたROMのアクセス速度を速くする。

【解決手段】 サブビット線構造のNOR型メモリアレイ(2)を有するマスクROMにおいて、選択されたビット線から接地電位に至る電流経路に、ワード線(W1~W32)で選択されたメモリセルトランジスタとセレクト線(DS1, SS1)で選択されたセレクトトランジスタが介在される場合、ワード線とセレクト線の選択駆動に利用されるドライバ(DW11, WD101)の電源回路として昇圧回路(5)を採用し、選択されたそれらトランジスタのコンダクタンス大きくして、そこに生ずる電流変化を大きくし、その変化を検出するセンスアンプの検出速度を向上させてアクセスの高速化を実現する。



## 【特許請求の範囲】

【請求項1】 X方向に延在するワード線毎に不揮発性のメモリセルトランジスタが当該ワード線に選択端子を結合して直列接続され、前記メモリセルトランジスタの前記直列接続点がY方向毎にサブビット線に結合され、複数本のサブビット線毎に割り当てられたビット線に対し何れのサブビット線を介してビット線への電流経路を形成するかを選択するための複数のセレクトトランジスタが複数本のサブビット線毎に設けられたメモリアレイを備え、前記セレクトトランジスタを選択するためのセレクト線と前記ワード線をアドレス信号に従って選択レベルに駆動し、それによって選択されたメモリセルトランジスタとセレクトトランジスタを介して生ずる電流変化をセンスアンプで検出する半導体記憶装置において、前記ワード線を選択レベルに駆動するワード線ドライバと、前記セレクト線を選択レベルに駆動するセレクト線ドライバとのそれぞれの動作電源を生成する昇圧回路を設けて成るものであることを特徴とする半導体記憶装置。

【請求項2】 複数の不揮発性のメモリセルトランジスタをY方向に直列接続したメモリセル列が1本のビット線にセレクトトランジスタを介して複数列接続された回路をX方向に複数組有し、X方向毎に前記メモリセルトランジスタの選択端子にワード線が結合され、X方向毎に前記セレクトトランジスタの選択端子にセレクト線が結合されたメモリアレイを備え、アドレス信号に従ってワード線と共にセレクト線を選択レベルに駆動し、それによって選択されたメモリセルトランジスタとセレクトトランジスタを介して生ずる電流変化をセンスアンプで検出する半導体記憶装置において、前記ワード線を選択レベルに駆動するワード線ドライバと、前記セレクト線を選択レベルに駆動するセレクト線ドライバとのそれぞれの動作電源を生成する昇圧回路を設けて成るものであることを特徴とする半導体記憶装置。

【請求項3】 前記昇圧回路は、第1の発振回路と、その発振出力を受けて電源電圧の昇圧動作を行う第1のチャージポンプ回路と、生成された昇圧電圧が第1の電圧以下とされる範囲で前記第1の発振回路を発振動作可能にする第1のレベルセンス回路と、前記メモリセルトランジスタの選択状態の変化に応ずるアドレス変化検出パルスによって昇圧動作を行う第2のチャージポンプ回路と、前記第1及び第2のチャージポンプ回路の出力端子に蓄積電極が共通接続された蓄積容量とを備えて成るものであることを特徴とする請求項1又は2記載の半導体記憶装置。

【請求項4】 前記昇圧回路は更に、前記第1の発振回路よりも発振周波数の高い第2の発振回路と、その発振出力を受けて電源電圧の昇圧動作を行う第2のチャージポンプ回路と、生成された昇圧電圧が第2の電圧以下とされる範囲で前記第2の発振回路を発振動作可能にする第2のレベルセンス回路とを備え、前記第2の電圧は第1の電圧よりも低いレベルであることを特徴とする請求項3記載の半導体記憶装置。

が前記蓄積容量に結合された第3のチャージポンプ回路と、生成された昇圧電圧が第2の電圧以下とされる範囲で前記第2の発振回路を発振動作可能にする第2のレベルセンス回路とを備え、前記第2の電圧は第1の電圧よりも低いレベルであることを特徴とする請求項3記載の半導体記憶装置。

【請求項5】 パワーダウンモードを指示するための外部信号の入力端子を有し、前記パワーダウンモードにおいて、前記第1及び第2のレベルセンス回路は、夫々に対応される発振回路の発振動作を停止させるものであることを特徴とする請求項4記載の半導体記憶装置。

【請求項6】 多数の不揮発性のメモリセルトランジスタが配置されたメモリアレイと、メモリアレイから読出されて選択された複数ビットの並列データを増幅するセンスアンプ回路と、所定のアドレス信号を用いて外部への出力ビット数単位で前記センスアンプ回路の出力を選択するページ選択回路とを備え、前記ページ選択回路の選択状態の切り換えによってデータを外部に連続的に出力可能にされた半導体記憶装置において、前記メモリアレイに含まれる不良ビットを救済するための救済位置及び救済データがプログラムされた救済回路と、前記メモリアレイに対するアクセスアドレスが被救済アドレスであるとき、センスアンプの出力に対し前記救済回路が保有する救済位置情報で指定されるビットを前記救済データに置き換えて前記ページ選択回路に出力する置き換え回路とを設けて成るものであることを特徴とする半導体記憶装置。

【請求項7】 相互に隣接するメモリセルトランジスタのソースとドレインとが接続されて直列形態に配置された多数のメモリセル行を含むNOR型のメモリアレイを有し、不揮発性のメモリセルトランジスタのソースが接続されるソース線とそのメモリセルトランジスタのドレインが接続されるビット線を選択し、選択したソース線を接地電位に、選択したビット線をセンスアンプに接続して、センスアンプからビット線に電流が引き込まれるか否かによって読み出しデータを判定する半導体記憶装置であって、

前記センスアンプは、入力ノードのレベルを負帰還制御する電流制御用トランジスタのコンダクタンスの増大によって入力ノードからビット線への電流引き込みを検出する検出段回路を有し、

前記検出段回路と等価な回路によって定期的に形成される電圧を受け、これを制御電圧とする負荷トランジスタを介して、非選択とされるビット線をプリチャージするビット線プリチャージ回路と、

前記検出段回路と等価な回路によって定期的に形成される電圧を受け、これを制御電圧とする負荷トランジスタを介して、非選択とされるソース線をプリチャージするソース線プリチャージ回路とを設けて成るものであることを特徴とする請求項7記載の半導体記憶装置。

ことを特徴とする半導体記憶装置。

【請求項8】 X方向に延在するワード線毎に不揮発性のメモリセルトランジスタが当該ワード線に選択端子を結合して直列接続され、前記メモリセルトランジスタの前記直列接続点がY方向毎にサブビット線に結合され、複数本のサブビット線毎に割り当てられたビット線を何れのサブビット線にそして当該サブビット線に隣接するサブビット線を何れのソース線に接続するかを選択するための複数のセレクトトランジスタが複数本のサブビット線毎に設けられ、前記セレクトトランジスタを選択

するためのセレクト線が前記ワード線と共に選択されることにより、選択されたセレクトトランジスタを介してビット線とセレクト線が隣接サブビット線に接続されるメモリアレイと、  
前記ビット線を選択するビット線選択回路と、  
ビット線選択回路で選択されたビット線と対を成すソース線を接地電位に接続するソース線選択回路と、  
前記ビット線選択回路で選択されたビット線に電流が流れ込む状態を検出するセンスアンプと、を備えた半導体記憶装置において、

前記ビット線選択回路によって非選択とされるビット線をプリチャージするビット線プリチャージ回路と、  
前記ソース線選択回路によって非選択とされるソース線をプリチャージするソース線プリチャージ回路とを設けて成るものであることを特徴とする半導体記憶装置。

【請求項9】 前記センスアンプは、入力ノードのレベルを負帰還制御する電流制御用トランジスタのコンダクタンスの増大によって入力ノードからビット線への電流引き込みを検出する検出段回路を有し、

前記メモリアレイの1対のソース線とビット線に係る等価な回路構成を有するダミーメモリアレイと、

前記検出段回路と等価な回路を有し、これによってダミーメモリアレイに含まれるダミーソース線をプリチャージするダミーソース線プリチャージ回路と、

前記検出段回路と等価な回路を有し、これによってダミーメモリアレイに含まれるダミービット線をプリチャージするダミービット線プリチャージ回路と、を設け、

前記ソース線プリチャージ回路は、前記ダミーソース線プリチャージ回路に含まれる前記検出段回路と等価な回路が有する電流制御用トランジスタの制御電圧を、プリチャージレベルを決定するためのバイアス電圧として受ける負荷トランジスタを有し、

前記ビット線プリチャージ回路は、前記ダミービット線プリチャージ回路に含まれる前記検出段回路と等価な回路が有する電流制御用トランジスタの制御電圧を、プリチャージレベルを決定するためのバイアス電圧として受ける負荷トランジスタを有して、成るものであることを特徴とする請求項8記載の半導体記憶装置。

【請求項10】 パワーダウンモードを指示するための

前記パワーダウンモードにおいて、前記ダミーソース線プリチャージ回路及びダミービット線プリチャージ回路は、前記検出段回路と等価な回路の直流電流経路をカットオフするトランジスタと、前記ビット線プリチャージ回路及びソース線プリチャージ回路に含まれる負荷トランジスタをカットオフ制御するトランジスタと、を含んで成るものであることを特徴とする請求項9記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はマスクROM（リード・オンリ・メモリ）のような半導体記憶装置に係り、例えば、NOR型のメモリセル配置を有しサブビット線構造を有するマスクROMに適用して有効な技術に関する。

【0002】

【従来の技術】マスクROMは、データの書込みがウェーハプロセス中で行われる。このデータの書込み方式、即ちマスクROMのプログラム方式には、メモリセルトランジスタの拡散層の有無（メモリトランジスタの有無）でデータの論理値“1”、“0”を定義する拡散層プログラム方式、チャンネル・イオン注入によってメモリセルトランジスタの閾値電圧を変えてデータをプログラムするイオン注入プログラム方式等がある。マスクROMのメモリ配置に関してはNOR型とNAND型等がある。NOR型のROMは横ROMと称されることもあり、ワード線とビット線がX、Y方向に配置され、夫々の交点位置にメモリセルがマトリクス状に配置された構成を有し、アドレス信号で選択されるべきワード線がメモリセルの選択レベルにされ、アドレス信号で非選択とされるべきワード線がメモリセルの非選択レベルにされることにより、当該ワード線に選択端子が結合されたメモリセルを介してビット線に電流が流れるか否かによって記憶情報の読み出しが行われる。NAND型のROMは縦ROMと称されることもあり、複数のメモリセルの直列接続回路の一端がビット線に結合され、アドレス信号で選択されるべきワード線はメモリセルの非選択レベルにされ、アドレス信号で非選択とされるべきワード線はメモリセルの選択レベルにされることにより、直列接続回路に直流電流経路が形成されるか否かによって、記憶情報の読み出しが行われる。

【0003】尚、マスクROMについて記載された文献の例としては株式会社培風館より昭和61年2月10日に発行された「超高速MOSデバイス」第316頁～318頁がある。

【0004】

【発明が解決しようとする課題】本発明者はマスクROMにおけるアクセス動作の高速化について検討した。第1に、半導体記憶装置の動作電圧が低電圧化されると、ワード線の選択駆動レベルはメモリセルトランジスタ

のコンダクタンスを比較的大きくすることが出来なくなる。また、1本のビット線に複数本のサブビット線が割り当てられワード線の選択と共にサブビット線を選択する形式のメモリアレイにおいては、ワード線と共に、サブビット線を選択駆動レベルも、セレクトトランジスタのコンダクタンスを比較的大きくすることが出来なくなる。選択されたメモリセルトランジスタやセレクトトランジスタを介して電流が流れるか否かをセンスアンプで検出するとき、それらトランジスタのコンダクタンスが小さくなれば、センスアンプで検出可能な電流変化も遅くなり、半導体記憶装置のアクセス動作を遅らせる原因になることが明らかにされた。

【0005】それらに対処するためにワード線等の選択レベルを昇圧することを検討したが、その場合には、動作電圧の低電圧化による低消費電力化の要請に反しないようにしなければならない。

【0006】第2には、センスアンプの出力をページ選択回路で複数ビット単位に選択してリードデータの外部出力を連続的に行えるようにしたバーストリードの構成を採用する場合、メモリアレイに含まれる不良ビットを救済するための救済回路による救済データの置き換えを、ページ選択回路の後段で行うようにするならば、バーストリードに際してページ選択回路による選択状態の切換え毎に、救済回路にもそのページ選択情報を与えて動作させなければならない、バーストリードの動作速度が低下することが明らかにされた。

【0007】第3には、メモリセルトランジスタのソースが結合されるソース線と、そのドレインが結合されるビット線を選択し、選択したソース線を接地電位に、選択したビット線をセンスアンプに接続して、センスアンプからビット線に電流が引き込まれるか否かによって読み出しデータを判定する場合に、相互に隣接するメモリセルトランジスタのソースとドレインとが結合されて直列形態に配置されたNOR型のメモリアレイを有するものにおいては、メモリセルトランジスタの閾値電圧の状態などに応じて、選択されたビット線に非選択ビット線又は非選択ソース線が導通されることがある。このような不所望な導通は、センスアンプによる誤検出若しくはセンスアンプによる検出速度の低下をもたらす。これを解消することが読み出し動作の正確さや高速化を実現する上で必要になる。特に、読み出し動作の高速化という点においては、選択されたビット線のプリチャージレベルを、センスアンプが必要とするプリチャージレベルに精度良く合わせることが必要であり、この点についてはプロセスばらつきの影響も受け難いようにすることが信頼性向上に必要であることが明らかにされた。

【0008】本発明の目的は、動作電圧の低電圧化に伴ってセンスアンプで検出可能な電流変化が小さくなってアクセス速度の低下する事態を改善した半導体記憶装置を提供することである。

【0009】本発明の別の目的は、アクセス速度の低下を改善するために昇圧電圧を利用する場合に、動作電圧の低電圧化などによる低消費電力化の要請に反しないようにすることである。

【0010】本発明の更に別の目的は、メモリアレイからの読み出しデータの一部を救済データに置き換える場合にバーストリードによる動作速度が低下しないようにすることが出来る半導体記憶装置を提供することにある。

【0011】本発明のその他の目的は、NOR型のメモリアレイ構成を有するものにおいて、選択されたビット線に非選択ビット線又は非選択ソース線が導通されることによる不都合、即ちセンスアンプによる誤検出若しくはセンスアンプによる検出速度の低下を解消することにある。更にこのとき、選択されたビット線のプリチャージレベルを、センスアンプが必要とするプリチャージレベルに精度良く合わせることにある。しかも、それが、プロセスばらつきの影響を受け難いようにしようとするものである。

【0012】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0013】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0014】〔1〕第1には、センスアンプで検出可能な電流変化を大きくするように、メモリセルトランジスタやセレクトトランジスタの選択駆動用電源として昇圧回路(5)を採用する。

【0015】NOR型のメモリアレイを有する半導体記憶装置は、図2に例示されるように、X方向に延在するワード線(W1~W32)毎に不揮発性のメモリセルトランジスタ(QM)が当該ワード線に選択端子を結合して直列接続され、前記メモリセルトランジスタの前記直列接続点がY方向毎にサブビット線(SB1~SB4)に結合され、複数本のサブビット線毎に割り当てられたビット線(BL1)に対し何れのサブビット線を介してビット線への電流経路を形成するかを選択するための複数のセレクトトランジスタ(Qds1, Qds2, Qss1, Qss2)が複数本のサブビット線毎に設けられたメモリアレイ(2)を備え、前記セレクトトランジスタを選択するためのセレクト線(DS1, DS2, SS1, SS2)とワード線(W1~W32)をアドレス信号に従って選択レベルに駆動し、それによって選択されたメモリセルトランジスタとセレクトトランジスタを介して生ずる電流変化をセンスアンプ(18, 180)で検出するように構成される。このとき、図1及び図4に例示されるように、前記ワード線を選択レベルに駆動

クト線を選択レベルに駆動するセレクト線ドライバ（4, DW111）とのそれぞれの動作電源を生成する昇圧回路（5）を設ける。NOR型のメモリアレイを備えた半導体記憶装置では、アドレス信号が指定するワード線及びセレクト線が前記ドライバ回路（3, 4）によって昇圧電位（VCH）に選択駆動される。それにより、選択されたメモリセルトランジスタやセレクトトランジスタのコンダクタンスは、外部から供給される電源電圧（Vdd）そのまま駆動される場合に比べて大きくされる。したがって、選択されたメモリセルトランジスタ及びセレクトトランジスタを介して生ずる電流変化は大きくされ、その変化を検出するセンスアンプ（180）の検出速度が向上され、アクセスの高速化を実現する。

【0016】NAND型のメモリアレイを有する半導体記憶装置は、図12に例示されるように、複数の不揮発性のメモリセルトランジスタ（QMM）をY方向に直列接続したメモリセル列が1本のビット線（BL1）にセレクトトランジスタ（Qds1, Qds2）を介して複数列接続された回路をX方向に複数組有し、X方向毎に前記メモリセルトランジスタの選択端子にワード線（W1～W16）が結合され、X方向毎に前記セレクトトランジスタの選択端子にセレクト線（DS1, DS2）が結合されたメモリアレイを備え、アドレス信号に従ってワード線と共にセレクト線を選択レベルに駆動し、それによって選択されたメモリセルトランジスタとセレクトトランジスタを介して生ずる電流変化をセンスアンプ（180）で検出するようにされる。このとき、図13に例示されるように、前記ワード線を選択レベルに駆動するワード線ドライバ（WD101）と、前記セレクト線を選択レベルに駆動するセレクト線ドライバ（DW111）とのそれぞれの動作電源を生成する昇圧回路（5）を設ける。NAND型のメモリアレイを備えた半導体記憶装置では、アドレス信号が指定するワード線を除いた全てのワード線とアドレス信号が指定するセレクト線とが、前記ドライバ回路によって昇圧電位（VCH）に選択駆動される。それにより、選択されたメモリセルトランジスタとセレクトトランジスタのコンダクタンスは、外部から供給される電源電圧（Vdd）そのまま駆動される場合に比べて大きくされる。したがって、選択されたメモリセルトランジスタ及びセレクトトランジスタを介して生ずる電流変化は大きくされ、その変化を検出するセンスアンプ（180）の検出速度が向上され、アクセスの高速化を実現する。

【0017】前記昇圧回路（5）はワード線及びセレクト線の充電で消費される電荷量を補充できればよいが、図5に例示されるように、待機状態からワード線及びセレクト線の選択動作への遷移時にワード線及びセレクト線電位を保証するために、待機状態において必要最小限の昇圧動作を行うように、第1の発振回路（44）と第

1のチャージポンプ回路（41）が設けられている。メモリアクセス時にはワード線及びセレクト線の充電により消費される電荷を補うためにアドレス変化検出パルス（ $\phi$ ATD）に同期して昇圧動作を行う第2のチャージポンプ回路（42）が設けられている。更に、昇圧電位が不足するときだけ昇圧動作を行うために第2の発振回路（43）と第3のチャージポンプ回路（40）を採用することが出来る。第2のレベルセンス回路（45）は昇圧電位（VCH）の不足（昇圧電位の低下）を検出する回路であり、昇圧電圧（VCH）が比較的低いレベルとされる範囲において第2の発振回路（43）の発振動作を許容する。待機時には急速な昇圧動作を要しないから、前記第1の発振回路（44）はその発振周波数が発振回路（43）よりも低くされている。第1のレベルセンス回路（46）は昇圧電圧（VCH）が必要充分な電位に達したことを検出する回路であり、昇圧電圧（VCH）が必要充分なレベルにされるまでの範囲において第1の発振回路（44）の発振動作を許容する。

【0018】昇圧回路（5）は、メモリセルトランジスタとセレクトトランジスタの制御ゲート電圧を電源電圧よりも高くすることによって、メモリセルトランジスタとセレクトトランジスタのコンダクタンスを大きくして、それらを介してビット線に流れる電流を多くしようとするものであるから、必要なメモリセル電流を確保するための最低の昇圧動作だけを行って、無駄な昇圧動作による電力消費の増大を抑えるようにされている。即ち、最低限の昇圧電位を保証しつつ、昇圧レベルが高くなり過ぎないようにされている。その制御は、マスクROMの様な半導体記憶装置の動作状態に応じて行うようにされているので、昇圧動作の制御を簡素化することができる。

【0019】前述のように、待機状態から動作状態へ遷移するときにも必要な昇圧電位を保証するために、第1の発振回路（44）は殆ど動作されることになる。このとき、低消費電力を企図するパワーダウンモードを採用する場合、それに答えるために、パワーダウンモード時に前記第1及び第2のレベルセンス回路は、その出力を夫々に対応される発振回路の発振動作を停止させる状態に強制するように構成するとよい。

【0020】〔2〕第2には、バーストリードのためのページ選択回路の前段で、不良ビットのデータを救済データへ置き換えるものである。すなわち、図1に例示されるように、多数の不揮発性のメモリセルトランジスタが配置されたメモリアレイ（2）と、メモリアレイから読出されて選択された複数ビットの並列データを増幅するセンスアンプ回路（18）と、所定のアドレス信号を用いて外部への出力ビット数単位で前記センスアンプ回路の出力を選択するページ選択回路（22）とを備え、前記ページ選択回路の選択状態の切り換えによってデータを外部に連続的に出力可能にされた半導体記憶装置に



において、前記メモリアレイに含まれる不良ビットを救済するための救済位置及び救済データがプログラムされた救済回路(19)と、前記メモリアレイに対するアクセスアドレスが被救済アドレスであるとき、センスアンプの出力に対し前記救済回路が保有する救済位置情報(207)で指定されるビットを前記救済データ(210)に置き換えて前記ページ選択回路(22)に出力する置き換え回路(20)を設けるものである。このように、救済回路(19)は、ページ選択回路(22)の前段で救済データへの置き換え可能に配置されている。したがって、特定のアドレス信号(A0~A2)を変化させて行われるバースト読み出しにおいて救済回路(19)の動作状態を変化させることを要しない。換言すれば、救済回路の動作時間はバーストアクセス時間に影響を与えない。これにより、バースト読み出し動作速度は、読み出し対象データが救済されるべきビットを含んでいるか否かによらず一定とされ、バースト読み出し動作の高速化に寄与する。

【0021】〔3〕第3には、NOR型メモリアレイにおけるビット線及びソース線のプリチャージ形式の点で

【0022】まず、図11に例示されるように、半導体記憶装置は、相互に隣接するメモリセルトランジスタのソースとドレインとが接続されて直列形態に配置された多数のメモリセル行を含むNOR型のメモリアレイを有し、不揮発性のメモリセルトランジスタ(QM)のソースが接続されるソース線(SL1)とそのメモリセルトランジスタのドレインが接続されるビット線(BL1)を選択し、選択したソース線を接地電位(Vss)に、選択したビット線をセンスアンプ(180)に接続して、センスアンプからビット線に電流が引き込まれるか否かによって読み出しデータを判定する。ここで、前記センスアンプ(180)は、入力ノード(Nin)のレベルを負帰還制御する電流制御用トランジスタ(Q17)のコンダクタンスの増大によって入力ノードからビット線への電流引き込みを検出する検出段回路(Q14, Q15, Q16, Q17)を有する。この検出段回路と等価な回路(Q24, Q25, Q26, Q27)によって定常的に形成される電圧(340)を受け、これを制御電圧とする負荷トランジスタ(QL2)を介して、非選択とされるビット線をプリチャージするビット線プリチャージ回路(30)と、前記検出段回路と等価な回路(Q34, Q35, Q36, Q37)によって定常的に形成される電圧(330)を受け、これを制御電圧とする負荷トランジスタ(QL1)を介して、非選択とされるソース線をプリチャージするソース線プリチャージ回路(31)とを設ける。

【0023】非選択ビット線のプリチャージレベルは、センスアンプ(180)の検出段回路と等価な回路によって制御されるので、非選択ビット線は非選択ソース線

のプリチャージレベルは、センスアンプが必要とするプリチャージレベルに精度良く合わせることが容易である。それ故に、非選択状態から選択状態に転じたビット線のプリチャージレベルは、センスアンプが必要とするプリチャージレベルに精度良く合わせられている。これにより、センスアンプは選択ビット線を実質的にプリチャージする事を要せず、速やかに検出動作に移行することができるので、センスアンプの動作を高速化することができる。しかも、選択ビット線から、非選択ビット線又は非選択ソース線に不所望な電流が流れることによってセンスアンプが誤検出したり検出動作が遅れたりする事態を防止することが出来る。

【0024】上記ビット線プリチャージに対する別の観点に立った手段によれば、半導体記憶装置は、図11に例示されるように、X方向に延在するワード線(W1~W32)毎に不揮発性のメモリセルトランジスタ(QM)が当該ワード線に選択端子を結合して直列接続され、前記メモリセルトランジスタの前記直列接続点(Y方向毎にサブビット線(SB1~SB4))に結合され、複数本のサブビット線毎に割り当てられたビット線を何れのサブビット線にそして当該サブビット線に隣接するサブビット線を何れのソース線に接続するかを選択するための複数のセレクトトランジスタが複数本のサブビット線毎に設けられ、前記セレクトトランジスタを選択するためのセレクト線が前記ワード線の選択と共に選択されることにより、選択されたセレクトトランジスタを介してビット線とセレクト線が隣接サブビット線に接続されるメモリアレイ(2)を有する。そして、前記ビット線を選択するビット線選択回路(12)と、ビット線選択回路で選択されたビット線と対を成すソース線を接地電位に接続するソース線選択回路と(14)、前記ビット線選択回路で選択されたビット線に電流が流れ込む状態を検出するセンスアンプ(180)とを備える。このような構成を主体に、更に、前記ビット線選択回路(12)によって非選択とされるビット線をプリチャージするビット線プリチャージ回路(30)と、前記ソース線選択回路(14)によって非選択とされるソース線をプリチャージするソース線プリチャージ回路(31)とを備える。この観点によれば、非選択ビット線と非選択ソース線はセンスアンプを介さずプリチャージ回路により直接プリチャージされるので、センスアンプ(180)は、非選択状態から選択状態に転じたビット線を積極的にプリチャージすることを要せず、速やかに検出動作に移行することができるので、センスアンプの動作を高速化することができる。

【0025】さらに、そのプリチャージレベルを、センスアンプが必要とするプリチャージレベルに精度よく合わせるという観点を付加する場合、前記センスアンプ(180)は、入力ノード(Nin)のレベルを負帰還制御する電流制御用トランジスタ(Q17)のコンダク

タンスの増大によって入力ノードからビット線への電流引き込みを検出する検出段回路(Q14, Q15, Q16, Q17)を有し、前記メモリアレイの1対のソース線とビット線に係る等価な回路構成を有するダミーメモリアレイ(32)と、前記検出段回路と等価な回路(Q34, Q35, Q36, Q37)を有し、これによってダミーメモリアレイに含まれるダミーソース線(DSL)をプリチャージするダミーソース線プリチャージ回路(33)と、前記検出段回路と等価な回路(Q24, Q25, Q26, Q27)を有し、これによってダミーメモリアレイに含まれるダミービット線(DBL)をプリチャージするダミービット線プリチャージ回路(34)とを設ける。そして、前記ソース線プリチャージ回路(31)は、ダミーソース線プリチャージ回路(33)に含まれる前記検出段回路と等価な回路が有する電流制御用トランジスタ(Q37)の制御電圧(330)を、プリチャージレベルを決定するためのバイアス電圧として受ける負荷トランジスタ(QL1)を有する。前記ビット線プリチャージ回路(30)は、ダミービット線プリチャージ回路(34)に含まれる前記検出段回路と等価な回路が有する電流制御用トランジスタ(Q27)の制御電圧(340)を、プリチャージレベルを決定するためのバイアス電圧として受ける負荷トランジスタ(QL2)を有する。これによれば、センスアンプ(180)の検出段回路(Q14~Q17)と実質的に等しいプリチャージ特性を持つダミープリチャージ回路(33, 34)と、メモリアレイの基本的な回路構成と等価なダミーメモリアレイ(32)を有し、ダミービット線(DBL)とダミーソース線(DSL)を定常的にダミープリチャージ回路(33, 34)でプリチャージするときに得られる電圧(330, 340)を用いて、そのダミープリチャージにて得られるプリチャージレベルと等価的なプリチャージレベルを非選択ソース線及び非選択ビット線に形成するから、非選択ビット線と非選択ソース線とのプリチャージレベルはセンスアンプ(180)の必要とするプリチャージレベルと精度良く合わせられ、これを言い換えれば、非選択ビット線が選択されたときの当該選択ビット線のレベルもセンスアンプ(180)の必要とするプリチャージレベルに精度良く合わせられる。これによって、センスアンプ(180)の高速動作を保証できると共に、読み出しデータのセンスアンプによる誤検出防止を高い精度をもって実現できる。さらに、プリチャージのためのバイアス信号(330, 340)は実際の回路と等価な回路(32, 33, 34)を介して形成されるから、プロセスばらつきの影響も受け難い。

【0026】ダミープリチャージ回路(33, 34)は待機状態と動作状態の別なく制御電圧(330, 340)を形成することがプリチャージ動作の信頼性の上で望ましい。このため、低消費電力な全動作パワーマネージメントモードを採用する場合、それに答えるために、前記パ

ワーダウンモードにおいて、前記ダミープリチャージ回路(33, 34)は、前記検出段回路と等価な回路の直流電流経路をカットオフするトランジスタ(Q28, Q38)と、前記ビット線プリチャージ回路(30)及びソース線プリチャージ回路(31)に含まれる負荷トランジスタ(QL1, QL2)をカットオフ制御するトランジスタ(Q29, Q39)とを含むとよい。

#### 【0027】

##### 【発明の実施の形態】

《マスクROMの概要》 図1には本発明の一実施例に係るマスクROMの全体的なブロック図が示される。先ず、本実施例のマスクROMを概説する。本実施例のマスクROMは、特に制限されないが、公知のMOS半導体集積回路製造技術によって単結晶シリコン基板のような1個の半導体基板に形成されている。この明細書で参照する図面において、pチャネル型MOSトランジスタの回路記号にはそのソースに矢印を付してnチャネル型MOSトランジスタと区別している。

【0028】本実施例のマスクROMは、NOR型マスクROMであり、フラットセル型メモリアレイ2を有する。特に制限されないが、メモリアレイ2は、8個のメモリマットMMATを有し、夫々のメモリマットMMATは64個のメモリブロックMBLKを有する。図2には1個のメモリブロックMBLKの構成が例示され、図3には1個のメモリマットMMATの全体的な構成が例示されている。

【0029】先ず、メモリブロックMBLKの基本的な構成を図2を参照しながら説明する。特に制限されないが、メモリブロックMBLKは256本のビット線(BL1~BL256)、257本のソース線(SL1~SL257)、32本のワード線(W1~W32)を有する。図2には代表的にビット線BL1, BL2、ソース線SL1, SL2, SL3、ワード線W1, W2, W31, W32が示されている。この例に従えば、各ワード線に沿って1024個のメモリセルトランジスタQMの直列回路が配置され、それぞれのゲートは対応するワード線に、ドレイン・ソースはビット線方向に並設された32個のメモリセルトランジスタQM毎にサブビット線SB1~SB4に結合される。例えばソース線SL1とビット線BL1に着目すると、サブビット線SB1はセレクトMOSトランジスタQs1を介してソース線SL1に、サブビット線SB3はセレクトMOSトランジスタQs2を介してソース線SL1に、サブビット線SB2はセレクトMOSトランジスタQd2を介してビット線BL1に、サブビット線SB4はセレクトMOSトランジスタQd2を介してビット線BL1に結合される。その他のビット線及びソース線に関しても上記同様に4本のサブビット線SB1~SB4との結合関係が繰り返されている。夫々のセレクトMOSトランジスタ



タQ s s 1はセレクト線S S 1によってスイッチ制御され、夫々のセレクトM O S トランジスタQ s s 2はセレクト線S S 2によってスイッチ制御され、夫々のセレクトM O S トランジスタQ d s 1はセレクト線D S 1によってスイッチ制御され、夫々のセレクトM O S トランジスタQ d s 2はセレクト線D S 2によってスイッチ制御される。

【0030】特に制限されないが、前記サブビット線S B 1～S B 4はメモリセルトランジスタQ Mの拡散層によって構成され、前記ビット線B L 1～B L 2 6 5及び

ソース線S L 1～S L 2 5 7はアルミニウム配線によって形成され、ワード線W 1～W 3 2及びセレクト線D S 1, D S 2, S S 1, S S 2はシリサイドによって構成されている。

【0031】前記メモリセルトランジスタQ Mは所謂オン注入プログラム方式によって情報を記憶し、ハイレベルのようなワード線選択レベルをゲートに受けることによってオン状態にされ得る閾値電圧を有する状態、又は、ハイレベルのようなワード線選択レベルをゲートに受けてもオフ状態を維持する比較的高い閾値電圧を有する状態の何れかの状態にされている。

【0032】上記メモリブロックM B L KにおけるメモリセルトランジスタQ Mからのデータ読み出しは、セレクトM O S トランジスタQ d s 1, Q d s 2の選択動作によって1本のビット線に接続する1本のサブビット線を選択し、選択させるべきサブビットに隣接するもう1本のサブビット線をセレクトM O S トランジスタQ s s 1, Q s s 2の選択動作によって1本のソース線に接続する動作と、1本のワード線の選択動作とによって行われる。例えばビット線B L 1に着目した場合、サブビット線S B 1とS B 2の間に配置されたメモリセルトランジスタQ Mのデータ読み出しは、セレクトM O S トランジスタQ d s 1, Q s s 1を選択して（オン状態にして）ビット線B L 1とソース線S L 1との間に電流経路が形成されるか否かによって行う。サブビット線S B 2とS B 3の間に配置されたメモリセルトランジスタQ Mのデータ読み出しは、セレクトM O S トランジスタQ d s 1, Q s s 2を選択してビット線B L 1とソース線S L 1との間に電流経路が形成されるか否かによって行う。同様に、サブビット線S B 3とS B 4の間に配置されたメモリセルトランジスタQ Mのデータ読み出しは、セレクトM O S トランジスタQ d s 2, Q s s 2を選択してビット線B L 1とソース線S L 2との間に電流経路が形成されるか否かによって行う。

個のメモリマツトM M A Tは64個のメモリブロックM B L Kを含む。個々のメモリブロックM B L Kのビット線及びソース線は64個のメモリブロックM B L K相互間で共通化若しくは共通接続されている。

【0034】図1及び図3において3で示されるものは、前記メモリブロックM B L Kのワード線W 1～W 3 2を駆動するためのワードドライバ、4は前記メモリブロックM B L Kのセレクト線D S 1, D S 2, S S 1, S S 2を駆動するためのセレクト線ドライバである。ワードドライバ3及びセレクト線ドライバ4が出力する信号の選択レベルは昇圧回路5から供給される。この昇圧回路5についての詳細は後で説明するが、その昇圧動作にはアドレス変化検出回路7から出力されるアドレス変化検出パルスφ A T Dなどが利用される。アドレス変化検出回路7は、アドレス信号A 0～A 1 9の変化を検出する毎に、アドレス変化検出パルスφ A T Dをパルス状に1回変化させる。アドレス変化検出パルスφ A T Dは、その他に、マスクROMの内部をダイナミックに動作させるためのタイミング信号の生成にも利用される。

【0035】前記ワードドライバ3はワード線Xデコーダ6から出力されるデコード信号を受け、選択レベルのデコード信号に対応されるワード線を選択レベルに駆動する。特に制限されないが、本実施例に従えば、図1に示されるように、ワード線Xデコーダ6は、8ビットのアドレス信号A 1 2～A 1 9に対応される内部相補アドレス信号をアドレスバッファ8から受け、これをデコードし、図3に示される64個のメモリブロックM B L K（（#1）～（#64）の中の8個のメモリブロックを選択し、選択した各メモリブロックの中のワード線W 1～W 3 2の中から何れか1本を選択するためのデコード信号を形成する。即ち、アドレス信号A 1 2～A 1 4は、図3の64個のメモリブロックM B L Kの8個ずつの単位M B L K（#1）～M B L K（#8）、…、M B L K（#57）～M B L K（#64）の中から何れか一つの単位（8個のメモリブロックM B L K）を選択する信号とみなされる。アドレス信号A 1 5～A 1 9は、一つのメモリブロックM B L Kにおけるワード線W 1～W 3 2の中から何れか1本を選択する信号とみなされる。したがって、それによるデコード信号は、メモリブロックM B L Kの8個ずつの単位M B L K（#1）～M B L K（#8）、…、M B L K（#57）～M B L K（#64）毎に32本とされる。ワード線Xデコーダ6から出力される全部で32×8本のデコード信号を受けるワードドライバ3は、図3に示されるように、8個のメモリブロックM B L K毎に設けられた32個のドライバW D 1 0 1～W D 1 3 2、…、W D 8 0 1～W D 8 3 2に供給される。即ち、1個のドライバは8本のワード線の駆動に用いられる。例えば、ドライバW D 1 0 1は8個のメモリブロックM B L Kの夫々に含まれるワード線W 1の駆動に利用される。したがって、ワード線選択動作で

は、1個のメモリマットMMATに含まれる64個のメモリブロックMBLKの中の8個のメモリブロックMBLKの夫々において1本のワード線が選択レベルに駆動される。

【0036】図1に示されるように、前記セレクト線ドライバ4はセレクト線Xデコーダ10から出力されるデコード信号を受ける。セレクト線Xデコーダ10は、1個のメモリマットMMATに含まれる64個のメモリブロックMBLKの中から1個のメモリブロックMBLKを指定し、指定したメモリブロックMBLKにおいて前記サブビット線の4種類の選択可能状態の中から1種類の状態を選択して、ワード線で選択されたメモリセルトランジスタQMの中からビット線とソース線に接続させるメモリセルトランジスタQMを選択する。特に制限されないが、本実施例に従えば、図1に示されるように、セレクト線Xデコーダ10は、8ビットのアドレス信号A7～A14に対応される内部相補アドレス信号をアドレスバッファ8から受け、これをデコードして、各メモリブロックMBLK毎に固有の4本のデコード信号（合計256本のデコード信号）を形成する。図3に示されるようにセレクト線ドライバ4は、デコード信号の夫々に固有の256個のドライバDW112, DW111, SW112, SW111～ドライバDW882, DW881, SW882, SW881を有する。合計256本のデコード信号は、8ビットのアドレス信号A7～A14に応じて、64個のメモリブロックMBLKの中の一つのメモリブロックMBLKのセレクト線DS1又はDS2とセレクト線SS1又はSS2の合計2本を選択するように変化される。

【0037】上記ワード線とセレクト線の選択動作により、1個のメモリマットに含まれる64個のメモリブロックMBLKの中から1個のメモリブロックMBLKが指定され、指定されたメモリブロックMBLKにおいて前記サブビット線の4種類の選択可能状態の中から1種類の状態が選択され、ワード線で選択されたメモリセルトランジスタQMの中からビット線とソース線に接続させるべきメモリセルトランジスタQMが選択される。これによりビット線BL1～BL256には選択されたメモリセルトランジスタのプログラム状態に応じて、ソース線への電流経路が形成されたり形成されなかったりする。

【0038】本実施例に従えば、上記メモリマットMMAT、ワードドライバ3及びセレクト線ドライバ4は8組備えられており、並列的の8個のメモリマットMMATでワード線及びセレクト線の選択動作が行われる。ビット線選択回路12は、8個のメモリマットMMATの夫々において256本のビット線の中から16本のビット線を選択するスイッチ回路である。ビット線Yデコーダ13は、4ビットのアドレス信号A3～A6に対応さ

け、これをデコードしてビット線選択回路12によるビット線の選択動作を制御する。ソース線選択回路14は8個のメモリマットMMATの夫々において257本のソース線の中から16本のソース線を選択するスイッチ回路である。ソース線Yデコーダ15は、4ビットのアドレス信号A3～A6に対応される内部相補アドレス信号をアドレスバッファ8から受け、これをデコードしてソース線選択回路14によるソース線の選択動作を制御する。ソース線Yデコーダ15のデコード論理はビット線Yデコーダ13のデコード論理と同一では無いが、選択されるビット線に接続可能なソース線を選択しなければならない。前述のようにセレクトMOSトランジスタの選択状態如何では、右隣のソース線を選択しなければならない場合があるので、セレクト線Xデコーダ10による選択状態を考慮するために、特に制限はされないが、A7～A14の内の特定の2ビット（セレクト線SD1又はSDの何れを選択するのか、そしてセレクト線SS1又はSSの何れを選択するのかを指示するものとみなされる2ビット）に対応される内部相補アドレス信号がソース線Yデコーダ15にも供給されている。図1において、ソース線Yデコーダ15への前記2ビットの供給状態は図示が省略されている。

【0039】前記ビット線選択回路12は8個のメモリマットMMATに対して全部で128本のビット線を選択し、ソース線選択回路14はそれに対応される128本のソース線を8個のメモリマットMMATから選択する。前記各メモリマットのビット線にはビット線プリチャージ回路30が設けられ、ビット線選択回路12で非選択とされるビット線をプリチャージする。同様に、前記各メモリマットのソース線にはソース線プリチャージ回路31が設けられ、ソース線選択回路14で非選択とされるソース線をプリチャージする。その詳細については前記プリチャージ回路30, 31と共に後述するが、ビット線プリチャージ回路30及びソース線プリチャージ回路31によるプリチャージレベルを決定するために、ダミーメモリアレイ32及びダミープリチャージ回路33, 34が設けられている。

【0040】前記ビット線選択回路12で選択されたビット線は個別的に共通データ線CD1～CD128に接続される。共通データ線CD1～CD128はセンスアンプ回路18に接続される。センスアンプ回路18は個々の共通データ線CD1～CD128に固有の電流検出型のセンスアンプを有する。センスアンプについては後で説明するが、ビット線からソース線に向けて電流が流れるとき、その電流変化を検出する。センスアンプによる電流変化の有無の検出結果がメモリセルからのデータ読出し結果として後段に出力される。センスアンプ回路18の出力は、マルチプレクサ20を介してページ選択回路22に与えられる。マルチプレクサ20は、後述す

は、センスアンプ回路18の出力データの一部を救済回路19から出力される救済用データ210に置き換えてページ選択回路22に与える。ページ選択回路22は、マルチプレクサ20から出力される128ビットのデータの中から16ビットを選択する回路である。ページデコーダ23は、3ビットのアドレス信号A0~A2に対応される内部相補アドレス信号をアドレスバッファ8から受け、これをデコードしてページ選択回路22による出力データの選択動作を制御する。このようにメモリアレイ2からのデータ読み出しは128ビット単位で行われ、その内の16ビットが下位アドレスA0~A2で選択されるので、ROMの連続的なアドレスを順次アクセスする場合には、下位アドレスA0~A2の変化に同期して、次のデータを即座にページ選択回路22から出力することができる。即ち、ページ選択回路22を介してバースト読み出しを行うことができ、連続アドレスからのデータ読み出しを高速に行うことができる。

【0041】ページ選択回路22で選択された16ビットのデータはデータバッファ24を介してデータ端子D0~D15に与えられる。

【0042】図1において25はタイミングコントローラである。このタイミングコントローラ25は、特に制限されないが、チップ選択信号 $\phi$ CE（記号 $\phi$ はそれを付した信号がローインネブルの信号であることを意味する）、出力インネブル信号 $\phi$ OE、パワーダウン信号 $\phi$ PWDを外部から入力し、それら信号のレベルに応じた内部制御信号 $\phi$ OE、 $\phi$ CE、 $\phi$ PWDを、前記アドレス変化検出パルス $\phi$ ATDに同期して出力する。内部制御信号 $\phi$ OE、 $\phi$ CE、 $\phi$ PWDは活性化制御信号とされる。制御信号 $\phi$ OEはデータバッファ24の出力動作を可能にするための信号であり、チップ選択状態（チップ選択信号 $\phi$ CE＝ローレベル）において出力インネブル状態（出力インネブル信号 $\phi$ OE＝ローレベル）にされることによってハイレベルとされ、これによってデータバッファ24はデータ出力動作が可能にされる。データバッファ24はそれ以外の場合には高出力インピーダンス状態にされる。制御信号 $\phi$ CEは、特に制限されないが、チップ選択状態に呼応してアドレスバッファ8、デコーダ6、10、13、15、23を活性化する制御信号である。動作電源が投入されているときにおけるチップ非選択状態（チップ選択信号 $\phi$ CE＝ハイレベル）ではそれらアドレスバッファ8、デコーダ6、10、13、15、23は非活性化され、この状態をスタンバイ状態若しくはスタンバイモードと称する。制御信号 $\phi$ PWDは、特に制限されないが、前記昇圧回路5及びダミープリチャージ回路33、34の活性／非活性化を制御する信号である。この信号 $\phi$ PWDは、チップ非選択状態（チップ選択信号 $\phi$ CE＝ハイレベル）で且つパワーダウン信号 $\phi$ PWDがローレベルにされたときそれら昇圧回路5及びダミープリチャージ回路33、34を非活性

化する。この状態を完全スタンバイ状態若しくはパワーダウンモードと称する。それ以外の状態では昇圧回路5及びダミープリチャージ回路33、34は活性化されている。換言すれば、スタンバイ状態において前記昇圧回路5及びダミープリチャージ回路33、34は動作可能にされ、次のメモリアクセス動作のために望ましい状態を内部で保つことが出来るようになっている。パワーダウンモードは低消費電力を最優先とする場合に設定される動作モードである。

10 【0043】《ワード線及びセレクト線の昇圧》 オン状態にすべきメモリセルトランジスタのコンダクタンスを十分に大きくするためにはワード選択レベルを昇圧する事が、読み出し動作の高速化に都合がよい。このとき、上記マスクROMは図2に基づいて説明したように、サブビット線SB1~SB4の中から1本のサブビット線をセレクトMOSTランジスタQds1、Qds2、Qss1、Qss2で選択してソース線とビット線に接続する。例えば図2において、サブビット線SB1をビット線BL1とソース線SL1に接続するにはセレクトMOSTランジスタQds1、Qss1をオン状態に選択し、これによってドレインがビット線BL1に、ソースがソース線SL1に接続された1列32個のメモリセルトランジスタQMの中から一つがワード線で選択される。したがって、ビット線からソース線への電流経路には、ワード線によって選択されたメモリセルトランジスタと、セレクト線によって選択された2個のセレクトMOSTランジスタが介在されることになる。これらの3個のトランジスタはメモリアレイの構成上、実質的に同一のサイズとされている。すなわち、セレクトMOSTランジスタQds1、Qds2、Qss1、Qss2はメモリセルトランジスタQMと実質的に同一サイズのトランジスタで形成されている。トランジスタの集積度若しくは記憶密度を向上させるためである。このためメモリセルトランジスタQMを選択するワード線の選択レベルのみを昇圧しても、センスアンプで検出できる電流変化を増大させることは出来ない（読み出し動作の高速化を実現できない）。セレクト用MOSTランジスタの選択信号とあわせて3本の信号を昇圧する必要がある。これを考慮して本実施例では、ワード線W1~W32の選択レベルと共にセレクト線DS1、DS2、SS1、SS2の選択レベルも、昇圧回路5で昇圧された昇圧レベル（VCH）とする。ワード線選択レベルと共にセレクト線選択レベルを電源電圧（Vdd）以上に昇圧することにより、データ読み出し時にビット線に流れる電流が大きくなり、換言すればビット線を介する電流変化が速くなり、このことにより、センスアンプは電流変化を即座に検出でき、データ読み出し速度を高速化することができる。特に、その効果は、動作電源電圧が3.3Vのような比較的低い電源電圧のマスクROMにおいて顕著である

【0044】前述のように、読み出し動作では、各メモリマットMMATにおいて、ソース線とビット線を相互に共有する64個のメモリブロックMBLKの中から1個のメモリブロックMBLKが指定され、指定された1個のメモリブロックMBLKに含まれるサブビット線SB1～SB4の256ペアの各ペアにおいて1本のサブビット線がビット線に、そしてもう1本のサブビット線がソース線に接続される。したがって、ワード線W1～W32は各メモリブロックMBLK毎に1本のワード線が駆動されることだけが必要であるから、複数のメモリブロックにおいてワード線選択動作が行われても差し支えない。ワードドライバ3のドライバの数を低減してそれによるチップ専有面積を低減するという観点においては、一つのドライバが駆動すべきワード線の本数を多くすること、即ち、同時に選択状態にすべきワード線の本数を多くすることが望ましい。例えば、図3のドライバWD101～WD132を64個のメモリブロックMBLKのワード線駆動に共用させる構成とすることも可能である。しかしながら、ワードドライバの動作電流を低減するためには同時に選択レベルにされるワード線の本数を低減することが有効である。また昇圧回路5の負荷を削減するためにも同時動作のワード線本数をむやみに増やさないことが必要である。

【0045】本実施例では上記双方の観点のある程度満足させるために、図3に示されるように、個々のドライバWD101、…、WD832は1個当たり8本のワード線を同時に選択レベルに駆動するように設けられている。図4には、8個のメモリブロックMBLK（#1）～MBLK（#8）に対応されるドライバDW111、SW112、WD101が代表的に示されている。同図においてワード線Xデコーダ6及びセレクト線Xデコーダ10のデコード論理は渾然一体に示されている。これに示されるデコード論理は単なる一例である。

【0046】図4に代表的に示されるようにワード線のドライバとセレクト線のドライバは相互に同一の回路構成を有する。例えばドライバWD101は、ソースに昇圧電圧VCHを受ける2個のpチャンネル型のMOSトランジスタQ1、Q2を有し、一方のトランジスタのドレインが他方のトランジスタのゲートに結合されている。前記MOSトランジスタQ1のドレインにはソースが接地電位Vssに接続されたnチャンネル型MOSトランジスタQ3のドレインに結合され、当該トランジスタQ3のゲートにはデコーダの対応する出力信号線SW1が結合される。前記MOSトランジスタQ2のドレインは、ゲートが電源電圧Vddでバイアスされたnチャンネル型MOSトランジスタQ4を介して前記出力信号線SW1に結合される。ドライバWD101の出力端子はMOSトランジスタQ1のドレインとされる。

【0047】図4に従えば、デコーダ6、10の出力は、レベル検出レベルにされる。ドライバWD101

01において、出力信号線SW1が非選択レベル（ハイレベル）にされているとき、トランジスタQ3がオン状態にされ、これによってワード線W1は非選択レベルである接地電位Vssにされる。出力信号線SW1が選択レベル（ローレベル）にされているとき、トランジスタQ2、Q3がカットオフ状態にされ、これによってワード線W1には選択レベルとしての昇圧電位VCHが供給される。

【0048】《昇圧回路》 図5には前記昇圧回路5のブロック図が示される。昇圧回路5は、3個のチャージポンプ回路40～42、2個の発振回路43、44、2個のレベルセンス回路45、46及び比較的大きな蓄積容量47を有する。蓄積容量47は、ワード線及びセレクト線を充電するのに必要な電荷を蓄積するのに十分な大きさの容量値を持つ。したがって、昇圧回路5はワード線及びセレクト線の充電で消費される電荷量を補充できればよいが、待機状態からワード線及びセレクト線の選択動作への遷移時のワード線及びセレクト線電位を保証するために、待機状態において必要最小限の昇圧動作を行うように、前記発振回路44とチャージポンプ回路41が設けられている。メモリアクセス時にはワード線及びセレクト線の充電により消費される電荷を補うためにアドレス変化検出パルスφATDに同期して昇圧動作を行うチャージポンプ回路42が設けられている。更に、昇圧電位VCHが不足するときだけ昇圧動作を行うために前記発振回路43とチャージポンプ回路40が設けられている。レベルセンス回路45は昇圧電位VCHの不足（昇圧電位の低下）を検出する回路であり、昇圧電圧VCHが比較的低いレベルとされる範囲において発振回路43の発振動作を許容する。特に制限されないが、レベルセンス回路45は、昇圧電圧VCHが比較的低いレベルとされる範囲において、レベル検出信号φlowをハイレベルにする。待機時には急速な昇圧動作を要しないから、前記発振回路44はその発振周波数が発振回路43よりも低くされている。レベルセンス回路46は昇圧電圧VCHが必要十分な電位に達したことを検出する回路であり、昇圧電圧VCHが必要十分なレベルにされるまでの範囲において発振回路44の発振動作を許容する。特に制限されないが、レベルセンス回路46は、昇圧電圧VCHが必要十分なレベルにされるまでの範囲において、レベル検出信号φhighをハイレベルにする。マスクROMにおいて必要レベル以上の昇圧電位は消費電力を増大させるのみである。前記レベルセンス回路46の出力は更に、全てのチャージポンプ回路40～42による昇圧動作の停止制御に利用される。前記レベルセンス回路46によって昇圧電圧が必要十分な電位に達したことが検出されると、その検出出力（ローレベル出力）によって発振回路44の発振動作が停止され、また、レベルセンス回路45が非活性化されて発振回路43の発振動作が停止され、更に、チャージポンプ回路42の発振動作が停止される。

8によってアドレス変化検出パルス $\phi$ ATDの変化が阻止されてチャージポンプ回路42の動作が停止される。

【0049】次に昇圧回路5に含まれる各回路の具体例を説明する。図6にはチャージポンプ回路40の一例が示される。400はnチャンネル型の転送ゲートMOSトランジスタであり、そのソースには蓄積容量47が接続され、ドレインは容量401を介して直列3段のインバータ402、403、404に結合される。容量401は転送ゲートMOSトランジスタ400のドレインの電位を昇圧するために設けられている。前記MOSトランジスタ400のゲートは、nチャンネル型のスイッチMOSトランジスタ405を介して電源電圧Vddに結合されると共に、容量406を介してインバータ回路407の出力に結合される。前記容量406は転送ゲートMOSトランジスタ400のゲート電位を昇圧するために設けられている。インバータ404と407の入力はナンドゲート408の出力に結合される。前記スイッチMOSトランジスタ405のゲートは容量409を介してノアゲート410の出力に結合される。411は電源電圧VddからMOSトランジスタ405のゲートへの方向を順方向とするダイオード接続形式のnチャンネル型MOSトランジスタ（整流子トランジスタ）、412はMOSトランジスタ405のゲートから電源電圧Vddへの方向を順方向とするダイオード接続形式のnチャンネル型MOSトランジスタ（整流子トランジスタ）である。これにより、MOSトランジスタ405のゲートは、電源電圧Vddに対してMOSトランジスタ412の閾値電圧分高いレベルに保たれようとする。413は、当該MOSトランジスタ405のゲート電位を受けて、MOSトランジスタ400のドレインを少なくとも電源電圧に維持しようとするnチャンネル型MOSトランジスタである。同様に414は、前記MOSトランジスタ405のゲート電位を受けて、MOSトランジスタ400のゲートを少なくとも電源電圧に維持しようとするnチャンネル型MOSトランジスタである。

【0050】前記ノアゲート410の一方の入力には直列2段のインバータ回路416、417を介して発振回路43から出力されるパルス信号が供給され、他方の入力端子にはインバータ回路418、419と容量420から成る遅延回路を通してインバータ回路417の出力が供給される。ノアゲート410の出力はパルス信号の立ち上がり変化に対してはその出力が即座にローレベルに反転されるが、パルス信号の立ち下がり変化に対してその出力は遅延回路による遅延時間を待った後にハイレベルに変化される。前記ナンドゲート408にもノアゲート410と同じ信号が2入力される。ナンドゲート408の出力はパルス信号の立ち上がり変化に対してその出力は前記遅延回路による遅延時間を待った後にローレベルに変化され、パルス信号の立ち下がり変化に対してその出力は即座にローレベルに反転される。

【0051】以上の構成を有するチャージポンプ回路40は、入力パルス信号がハイレベルに変化されると、容量406を介してMOSトランジスタ400のゲートが昇圧されると共に、容量401を介してMOSトランジスタ400のドレイン側が昇圧され、それによって電荷が蓄積容量47に伝送される。入力パルス信号がローレベルに変化されると、それによってレベル低下せよとするMOSトランジスタ400のドレインとゲートにはMOSトランジスタ413、414を介して電源電圧Vddが供給されて、次の昇圧動作に備えることになる。このような動作が繰り返されることにより、蓄積容量47には昇圧電位が形成される。他の昇圧回路41、42も同様に構成されている。

【0052】図7には前記発振回路43に一例が示される。この発振回路43は、インバータ430とナンドゲート431が奇数段直列に接続された帰還回路を主体とするリングオシレータによって構成される。発振周波数は、抵抗432と容量433による時定数によって決定されている。ナンドゲート431にはレベルセンス信号 $\phi$ lowが供給され、これがハイレベルにされているとき発振回路43は発振動作可能にされる。特に図示はしないが、発振回路44も基本的な回路構成は図7と同様である。但し、抵抗と容量による時定数は発振回路43よりも大きくされ、これによって発振周波数は比較的低くされている。

【0053】図8には前記レベル検出回路46の一例が示され、図9には前記レベル検出回路45の一例が示される。本実施例において、特に制限されないが、昇圧電位VCHの期待値電圧（目標電圧）は電源電圧Vddの1.5倍のレベルとされ、このときレベル検出回路45が検出するレベルは電源電圧Vddに関する動作保証電圧の最低レベルに対してある一定の電圧を加えた電圧とされる。例えばVdd=3.3Vのとき、レベル検出回路45の検出レベルは4.3Vとされる。レベル検出回路46が検出するレベルは例えばバーン・イン電圧の上限の電圧レベルとされる。

【0054】図8において、ゲート・ドレイン間が結合されたpチャンネル型MOSトランジスタ460、464と抵抗462、463とが直列接続された抵抗分圧回路はVdd/2の電圧を参照電位として形成する回路であり、pチャンネル型のパワースイッチMOSトランジスタ460とnチャンネル型のパワースイッチMOSトランジスタ465によってその抵抗分圧回路に流れる電流をカットオフ出来るようになっている。pチャンネル型MOSトランジスタ467とnチャンネル型MOSトランジスタ468から成るCMOSインバータ回路、ゲート・ドレイン間が結合されたpチャンネル型MOSトランジスタ466の直列回路、及びnチャンネル型のパワースイッチMOSトランジスタ469は、昇圧電位VCHと接地電位Vssとの間に配置されて検出段回路を構成する。



の検出段回路は、 $V_{dd}/2$ を入力に受けるCMOSインバータ回の出力がローレベルからハイレベルに反転するときの昇圧電位 $V_{CH}$ のレベルを検出すべきレベルとするように、MOSトランジスタ466の直列段数が決定されている。この検出段回路によれば、昇圧回路5によって得られる昇圧電圧 $V_{CH}$ が必要充分なレベルに到達したとき、CMOSインバータ回路(467, 468)の出力がハイレベルに反転される。CMOSインバータ回路(467, 468)の出力はナンドゲートによって構成されたラッチ回路などを経て、レベル検出信号 $\phi_{high}$ として後段に伝達される。レベル検出信号 $\phi_{high}$ は、昇圧電圧 $V_{CH}$ が必要充分なレベルに到達したとき、ローレベルに反転される。

【0055】前記パワースイッチMOSトランジスタ460, 465, 469はパワーダウン信号 $\phi_{PWD}$ によって制御され、それがハイレベルにされるパワーダウンモードにおいてそれらパワースイッチMOSトランジスタ460, 465, 469はカット・オフ状態にされ、これによって電源電圧 $V_{dd}$ , 昇圧電位 $V_{CH}$ から接地電位 $V_{ss}$ への貫通電流経路が遮断される。pチャネル型のプルアップMOSトランジスタ470は、パワーダウンモードにおいてCMOSインバータ回路(467, 468)の出力をハイレベルに強制する素子であり、これによってレベル検出信号 $\phi_{high}$ がローレベルにされることにより、パワーダウンモードにおいて発振回路44の発振動作が停止され、更にチャージポンプ回路41の昇圧動作も阻止され、また、後述のようにレベルセンス回路45を介して発振回路43の動作も停止される。

【0056】図9に示されるレベルセンス回路45は、基本的な回路構成は前記レベル検出回路46と同じであるが、検出段回路を構成するMOSトランジスタ466の直列段数が図8の構成に比べて少なくされ、また、パワースイッチMOSトランジスタ460, 465, 467及びプルアップMOSトランジスタ470に対するスイッチ制御信号として前記レベル検出信号 $\phi_{high}$ が供給されている点においてレベル検出回路46と相違されている。MOSトランジスタ467, 468を含む検出段回路は、 $V_{dd}/2$ を入力に受けるCMOSインバータ回路(467, 468)の出力がローレベルからハイレベルに反転するときの昇圧電位 $V_{CH}$ のレベルを検出すべきレベルとするように、MOSトランジスタ466の直列段数が決定されている。この検出段回路によれば、昇圧回路5によって得られる昇圧電圧 $V_{CH}$ が必要最低限のレベルに到達したとき、CMOSインバータ回路(467, 468)の出力がハイレベルに反転される。CMOSインバータ回路(467, 468)の出力はナンドゲートによって構成されたラッチ回路などを経て、レベル検出信号 $\phi_{low}$ として後段に伝達される。

限のレベルに到達したとき、ローレベルに反転される。昇圧回路5によって得られる昇圧電圧 $V_{CH}$ がワード線などに対する充電動作によって低くなり過ぎたとき、レベル検出信号 $\phi_{low}$ がハイレベルにされると、それによって発振回路43が発振されて、チャージポンプ回路40が不足した電位を即座に補うための昇圧動作を開始する。この動作は昇圧電圧 $V_{CH}$ に必要最低限のレベルが得られるまでとされ、その後の昇圧動作はチャージポンプ回路41に委ねられる。

【0057】前記レベル検出信号 $\phi_{high}$ がローレベルにされたときは、前述と同様にパワースイッチMOSトランジスタ460, 465, 469はカット・オフ状態にされ、これによって電源電圧 $V_{dd}$ , 昇圧電位 $V_{CH}$ から接地電位 $V_{ss}$ への貫通電流経路が遮断される。また、プルアップMOSトランジスタ470の作用によってレベル検出信号 $\phi_{low}$ がローレベルにされることにより、発振回路43の発振動作が停止される。

【0058】このように、チャージポンプ回路5は、電源が投入されると、レベル検出信号 $\phi_{high}$ ,  $\phi_{low}$ は共にハイレベルにされる結果、チャージポンプ回路40, 41による昇圧動作が開始される。昇圧電圧 $V_{CH}$ は最低限必要なレベルに到達すると、レベル検出信号 $\phi_{low}$ がローレベルに変化されて、発振回路43の発振動作43が停止される。その後、昇圧電圧 $V_{CH}$ がレベルセンス回路46で検出される上限レベルを越えないように、発振回路44の発振動作がレベルセンス回路46で制御される。メモリアクセス時におけるワード線及びセレクト線選択動作によって低下された昇圧電位は、アドレス変化検出パルス $\phi_{ATD}$ に同期するチャージポンプ回路42の昇圧動作によって一義的に補われる。この昇圧動作によっても補償しきれないほどの昇圧レベルの低下がレベルセンス回路45で検出されると、それに加えて、ハイレベルのレベル検出信号 $\phi_{low}$ にて発振回路43が発振されてチャージポンプ回路40による急速な昇圧動作が開始される。その動作は昇圧電圧 $V_{CH}$ が最低限必要なレベルに到達するまでとされる。

【0059】以上のように、マスクROMにおける昇圧回路5は、メモリセルトランジスタQMとセレクトMOSトランジスタのゲート電圧を上げることによって、メモリセルトランジスタQMを介してビット線に流れる電流(以下単にメモリセル電流とも記す)を多くしようとするものであるから、必要なメモリセル電流を確保するための最低の昇圧動作だけを行って、無駄な昇圧動作による電力消費の増大を抑えるようにされている。即ち、最低限の昇圧電位を保証しつつ、昇圧レベルが高くなり過ぎないようにされている。その制御は、マスクROMの動作状態に応じて行うようにしているので、昇圧動作の制御を簡素化することができる。

【0060】《救済回路》 図10には前記救済回路10の一例が示される。救済回路10は、アドレス比較用



のメモリアレイ190A、190B、センスアンプ回路10から出力される128ビットのデータの救済位置を示すためのデータを格納するメモリアレイ191、及び救済ビットデータを格納するメモリアレイ192を有する。夫々のメモリアレイは、紫外線消去可能なEPROM構成用のFAMOSのようなメモリセルトランジスタがマトリクス配置され、各メモリアレイにおけるメモリセルトランジスタは、特に制限されないが、そのコントロールゲートがワード線に、ドレインがビット線に、ソースが接地電位に結合されている。

【0061】前記アドレス比較用のメモリアレイ190A、190Bはそれぞれ、特に制限されないが、12本のワード線193A、193Bと8本のビット線194A、194Bを有する。ビット線193A、193Bは一方において書込み回路195の出力端子に結合され、他方においてセンスアンプ回路196の入力端子に結合される。197はワードドライバである。ワードドライバ197には12ビットのアドレス信号A3～A14が供給される。ワードドライバ197はアドレス信号A3～A14と1対1対応で、その論理値に従ってワード線193Aを駆動し、且つその論理値の反転論理値に従ってワード線193Bを駆動する。ワードドライバ197の動作電源は書込み動作時（救済情報のプログラム時）は書き込み用高電圧Vpp、読み出し動作時（メモリアレイ2に対する読み出し動作時）は電源電圧（Vdd）とされる。書込みデータはデータ端子D15からシリアルに供給される。当該端子D15の入力モードは書込み制御信号/WEのローレベルによって指示され、書込みデータのシリアル入力とは/WEの変化に同期して行われる。一つの救済すべきアドレスのプログラムにおいて、メモリアレイ193Aの1本のビット線とメモリアレイ193Bにおいてそれと対を成す1本のビット線に書込みデータが与えられる。換言すれば、一つの救済アドレスのプログラムには各メモリアレイ193A、193Bでそれぞれ1本のビット線が用いられる。例えば、救済すべきアドレスがA3、A19=1、A4～A13=0とするならば、メモリアレイ190Aではワード線193Aの内、A3、A19に対応されるワード線にコントロールゲートが結合されたメモリセルが書き込み状態

（相対的に高い閾値電圧）にされ、メモリアレイ190Bではワード線193Bの内、A4～A18に対応されるワード線にコントロールゲートが結合されたメモリセルが書き込み状態（相対的に高い閾値電圧）にされる。読み出し動作において、そのようにプログラムされたアドレスと同一のアドレスが供給されると、2面のメモリアレイ190A、190Bにおける2本のビット線ペアが揃って電流変化を生じないのは、そのアドレスがプログラムされた2本のビット線ペアとされる。センスアンプ回路196は2本のビット線ペアが揃って電流変化を

る。センスアンプ回路196についてはその詳細を図示はしないが、各ビット線毎にセンスアンプを有し、前記ビット線ペアに対応される1対のセンスアンプの出力に対して論理積を採った値がセンスアンプ回路196の対応ビットの出力にされると理解されたい。センスアンプ回路196の出力205は8ビットとされる。198はオアゲートであり、前記センスアンプ回路196の8ビット出力205に対して論理和を採った信号199を形成する。

10 【0062】前記メモリアレイ191は8本のワード線200と7本のビット線201を有する。ビット線201は一方において書込み回路202の出力端子に結合され、他方においてセンスアンプ回路203の入力端子に結合される。204はワードドライバである。ワードドライバ204には前記センスアンプ回路196から出力される8ビットの信号205が供給される。ワードドライバ204はそれに供給される8ビットの信号の内、論理値“1”にされている信号に対応されるワード線を選択レベルに駆動する。換言すれば、前記8ビットの信号205はメモリアレイ191にとってワード線200の選択信号とみなすことが出来る。ワードドライバ204の動作電源は書込み動作時（救済情報のプログラム時）は書き込み用高電圧Vpp、読み出し動作時（メモリアレイ2に対する読み出し動作時）は電源電圧Vddとされる。書込みデータはデータ端子D15からシリアルに供給される。当該端子D15の入力モードは書込み制御信号/WEのローレベルによって指示され、書込みデータのシリアル入力は/WEの変化に同期して行われる。書込み回路202は予め7ビットのデータをシリアル入力する。そして、データの書込みは1本のワード線に対して7ビット並列的に行われる。この書込みデータは、前記センスアンプ回路18の128ビットの出力に対するビット位置を7ビットのデータで特定するための情報とされる。センスアンプ回路203はメモリアレイ191からの読み出しデータを検出して増幅する。206はセンスアンプ回路203の7ビット出力をデコードするデコーダである。このデコーダ206は前記信号199が論理値“1”にされることによって、換言すれば、メモリアレイ2に対するアクセスアドレスが、前記メモリアレイ190A、190Bにプログラムされた救済されるべきアドレスに一致したとき、活性化される。デコーダ206のデコード出力207は、それが非活性状態にされているときは全て非選択レベルにされ、活性状態では128本のデコード出力207の内、1本が選択レベルにされる。128本のデコード信号207は前記マルチプレクサ20に供給される。128本のデコード信号207は、センスアンプ回路18からの128ビットのデータと1対1対応され、マルチプレクサ20は、選択レベルのデコード信号に対応される1ビットのデータを救済すべきアドレスに照合し、その結果として選択レベルのデコード信号207の出力208を形成する。

供給する。

【0063】前記メモリアレイ192は8本のワード線211と32本のビット線212を有する。ビット線212は一方において書込み回路213の出力端子に結合され、他方においてはビット線選択回路214に結合される。215はワードドライバである。ワードドライバ215には前記センスアンプ回路196から出力される8ビットの信号205が供給される。ワードドライバ215はそれに供給される8ビットの信号の内、論理値“1”にされている信号に対応されるワード線を選択レベルに駆動する。換言すれば、前記8ビットの信号205はメモリアレイ192にとってワード線211の選択信号とみなすことが出来る。ワードドライバ215の動作電源は書込み動作時（救済情報のプログラム時）は書き込み用高電圧 $V_{pp}$ 、読み出し動作時（メモリアレイ2に対する読み出し動作時）は電源電圧 $V_{dd}$ とされる。書込みデータはデータ端子D15からシリアルに供給される。当該端子D15の入力モードは書込み制御信号、WEのローレベルによって指示され、書込みデータのシリアル入力は、WEの変化に同期して行われる。書込み回路213は予め32ビットのデータをシリアル入力する。そして、データの書込みは1本のワード線に対して32ビット並列的に行われる。この書込みデータは、救済ビットデータとされる。メモリアレイ192から読出される32ビットのデータは前記ビット線選択回路214によって何れかの1ビットが選択される。ビット線選択回路214における選択動作はデコーダ216から供給される32本のデコード信号にて制御される。デコーダ216はアドレス信号A15～A19に対応される5ビットのアドレス情報をデコードしてデコード信号を形成する。ビット線選択回路214で選択された1ビットのデータはセンスアンプ217で増幅され、その出力が救済データ210として前記マルチプレクサ20に供給される。この救済回路19によれば、W1～W32の32本のワード線単位で不良ビットの救済を行うことができ、最大で $8 \times 32 = 256$ ビットの不良ビットを救済することが出来る。

【0064】本実施例の救済回路19は図1にも示されるように、ページ選択回路22の前段で救済データへの置き換え可能に配置されている。したがって、アドレス信号A0～A2を変化させて行われるバースト読み出しにおいて救済回路19の動作状態を変化させることを要しない。したがって、バースト読み出し動作速度は、読み出し対象データが救済されるべきビットを含んでいるか否かによらず一定とすることができ、バースト読み出し動作の高速化に寄与する。仮に、不良ビットの置き換えをページ選択回路22の出力側で行う場合には、バースト読み出しに際してアドレス信号A0～A2が変化される度に救済回路を新たに動作させなければならず、バースト読み出し動作の速度が低下する。

【0065】《ダイレクトプリチャージ》 図11にはメモリアレイのビット線及びソース線をプリチャージするための回路構成がメモリアレイ2及びダミーメモリアレイ32を中心に示してある。ダミーメモリアレイ32は、メモリアレイ2における1対のビット線とソース線に係る回路構成と同じ回路によって構成され、ダミービット線DBL、ダミーソース線DSL、ダミーサブビット線DSB1～DSB4、ダミーメモリセルトランジスタDQM、ダミーセレクトMOSTランジスタDQds1、DQds2、DQss1、DQss2を備えて成る。各メモリブロックMBLKのワード線W1～W32、セレクト線DS1、DS2、SS1、SS2はダミーメモリアレイ2と共通化されている。特に制限されないが、ダミーメモリセルトランジスタDQMは相対的に閾値電圧の高い常時オフ状態にされる閾値を持つ。

【0066】ソース線選択回路14は、ソース線SL1、SL2、SL3、…を選択的に接地電位 $V_{ss}$ に導通させるnチャネル型の選択MOSTランジスタQS1がソース線SL1、SL2、SL3、…と1対1対応で設けられ、それらは、前記ソース線Yデコーダ15から出力されるデコード信号（ソース線選択信号）YS1、YS2、YS3、…によってスイッチ制御される。ソース線選択信号YS1、YS2、YS3、…は、アドレス信号A3～A6に従ってその何れか1本が選択レベルにされる。アドレス信号A3～A6のビット数からも明らかのように、ソース線選択回路14は、16本のソース線毎に同じ回路が複数組合まれて構成されている。

【0067】ソース線プリチャージ回路31は、ソース線選択信号YS1、YS2、YS3、…によって非選択とされるソース線をプリチャージする回路であって、各ソース線と電源電圧 $V_{dd}$ との間にnチャネル型MOSTランジスタQL1とpチャネル型MOSTランジスタQP1とが直列配置され、夫々のMOSTランジスタQP1はソース線選択信号YS1、YS2、YS3、…によってスイッチ制御される。前記MOSTランジスタQL1は非選択ソース線のプリチャージレベルを決定するための抵抗として機能され、そのゲートバイアス電圧は詳細を後述するダミーソース線プリチャージ回路33で形成される。

【0068】ビット線選択回路12は、ビット線BL1、BL2、BL3、…を選択的にセンスアンプ回路18に導通させるnチャネル型の選択MOSTランジスタQS2がビット線BL1、BL2、BL3、…と1対1対応で設けられ、それらは、前記ビット線Yデコーダ13から出力されるデコード信号（ビット線選択信号）YD1、YD2、YD3、…によってスイッチ制御される。ビット線選択信号YD1、YD2、YD3、…は、アドレス信号A3～A6に従ってその何れか1本が選択レベルにされる。ビット線選択回路12も、アドレス信号A3～A6のビット数からも明らかのように、16本のビット線毎に同じ回路が複数組合まれて構成されている。

のビット線毎に同じ回路が複数組合まれて構成されている。

【0069】ビット線プリチャージ回路30は、ビット線選択信号YD1, YD2, YD3, …によって非選択とされるビット線をプリチャージする回路であって、各ビット線と電源電圧Vddとの間にnチャネル型MOSトランジスタQL2とpチャネル型MOSトランジスタQP2とが直列配置され、夫々のMOSトランジスタQP2はビット線選択信号YD1, YD2, YD3, …によってスイッチ制御される。前記MOSトランジスタQL2は非選択ビット線のプリチャージレベルを決定するための抵抗として機能され、そのゲートバイアス電圧は詳細を後述するダミービット線プリチャージ回路34で形成される。

【0070】センスアンプ回路18は16本のビット線毎に1個割り当てられたセンスアンプを128個含んでいる。図11には1個のセンスアンプ180が代表的に示されている。センスアンプ180はその入力ノードNinをプリチャージするためのMOSトランジスタQ11~Q13と、入力ノードNinの電流変化を検出するための検出段回路を構成するトランジスタQ14~Q17と、検出結果を出力するためのCMOSインバータ構成用のMOSトランジスタQ18, Q19を含んで成る。尚、電源電圧Vddと接地電位Vssとの間の電流貫通経路をカットオフするためのパワースイッチMOSトランジスタについては図示を省略してあるが、実際にはパワードウンモードにおいてカットオフ状態に制御され、且つ、アドレス変化検出パルスφATDに同期した活性化タイミングを持ってセンスアンプを活性化させるパワースイッチMOSトランジスタが設けられている。

【0071】前記nチャネル型のMOSトランジスタQ12のコンダクタンスは入力ノードNinのレベルによって決定され、当該MOSトランジスタQ12とpチャネル型MOSトランジスタQ11との結合ノードに得られる分圧電圧をnチャネル型MOSトランジスタQ13がゲートに受け、これによってMOSトランジスタQ13のコンダクタンスが入力ノードNinのレベルによって負帰還制御され、入力ノードNinをプリチャージする。検出段階路の前記nチャネル型のMOSトランジスタQ15のコンダクタンスは入力ノードNinのレベルによって決定され、当該MOSトランジスタQ15とpチャネル型MOSトランジスタQ14との結合ノードに得られる分圧電圧をnチャネル型MOSトランジスタQ17がゲートに受ける。このMOSトランジスタQ17はpチャネル型MOSトランジスタQ16と共に入力ノードNinと電源電圧Vddとの間に直列配置されている。MOSトランジスタQ17のコンダクタンスは入力ノードNinのレベルによって負帰還制御され、入力ノードNinをプリチャージする。

【0072】プリチャージされた入力ノードNinの電

荷が保持されている状態では、MOSトランジスタQ17のコンダクタンスは小さくされており、センスアンプの出力Soutはローレベルにされている。一方、プリチャージされた入力ノードNinの電荷がビット線及びソース線を介して接地電位に流れると、そのレベル変化によって負帰還制御されるMOSトランジスタQ17のコンダクタンスが大きくなってセンスアンプの出力Soutがハイレベルに反転される。

【0073】尚、検出段回路Q14~Q17も入力ノードNinをプリチャージする機能を有しているが、入力ノードNinに対するプリチャージ速度を早めるために前記MOSトランジスタQ11~Q13から成るプリチャージ回路が設けられている。したがって、MOSトランジスタQ11~Q13から成る回路が検出動作に悪影響を与えないようにするために、MOSトランジスタQ13の閾値電圧は比較的高くされ、ある程度のプリチャージレベルが得られると当該MOSトランジスタQ13はカットオフ状態にされるようになっている。

【0074】ここで、ソース線プリチャージ回路31とビット線プリチャージ回路30によって非選択ソース線と非選択ビット線をプリチャージする理由は以下の通りである。すなわち、前記センスアンプ180はその入力ノードNinの電荷が接地電位Vssに引き抜かれることによって出力Soutを反転させる。したがって、選択されたビット線から、それに隣接する非選択ビット線や非選択ソース線に不所望に電流が流れないようにすることが必要である。例えば、ビット線BL2、セレクト線DS1, SS1、ワード線W1が選択された場合を想定すると、ビット線BL2とこれに隣接する非選択ビット線BL3とは、4個のメモリセルトランジスタQM(a, b, c, d)の閾値電圧が低くされている場合には導通される。同様に、ビット線BL2とこれに隣接する非選択ソース線SL3とは3個のメモリセルトランジスタQM(a, b, c)の閾値電圧が低くされている場合には導通される。導通される事態は、メモリアレイ2の記憶情報によって決定されるため回避し難い。選択ビット線と非選択ソース線又は非選択ビット線が導通されたとき、選択ビット線から電流が流れ込むと、センスアンプ180は読み出しデータを誤検出し、或いは出力の確定に時間を要することになる。これを回避するために、非選択ソース線と非選択ビット線をプリチャージし、選択ビット線と非選択ソース線又は非選択ビット線とが導通されても、選択ビット線から電流が流れ込まないようにしている。

【0075】特に本実施例では、非選択ビット線と非選択ソース線のプリチャージレベルを選択ビット線のプリチャージレベルに合わせると共に、そのプリチャージレベルを、センスアンプ180の必要とするプリチャージレベルに高精度に合わせることを可能にする工夫が採用

されている。即ち、ダミープリチャージ回路32, 34

はセンスアンプ180の検出段回路(Q14~Q17)と同等のプリチャージ性能を持つようにされる。センスアンプが検出動作に必要とするプリチャージレベルは検出段回路(Q14~Q17)によって決定されるからである。

【0076】具体例としては、ダミープリチャージ回路34において、MOSトランジスタQ24~Q27は、センスアンプのMOSトランジスタQ14~Q17と同様の回路結合を備え、対応されるトランジスタと実質的に等しいトランジスタサイズを有して構成される。nチャネル型のMOSトランジスタQ25のコンダクタンスはダミービット線DBLのレベルによって決定され、当該MOSトランジスタQ25とpチャネル型MOSトランジスタQ24との間のノードに得られる分圧電圧をnチャネル型MOSトランジスタQ27がゲートに受ける。このMOSトランジスタQ27はpチャネル型MOSトランジスタQ26と共にダミービット線DBLと電源電圧Vddとの間に直列配置されている。前記MOSトランジスタQ25のドレインに得られる電圧がビット線プリチャージ回路30のMOSトランジスタQL2のゲートバイアス電圧340とされる。MOSトランジスタQ29、Q28はパワーダウンモードにおいてダミープリチャージ回路34を非活性化するためのトランジスタであり、前記ゲートバイアス電圧の決定には実質的に関与しないトランジスタとされる。電源投入後は、パワーダウンモードにされない限り、ダミービット線DBLはプリチャージレベルを定常的に維持する。

【0077】非選択ビット線は、前記ゲートバイアス電圧340を受取るMOSトランジスタQL2とこれに直列接続されたMOSトランジスタQP2を介してプリチャージされる。ダミープリチャージ回路34のMOSトランジスタQ26、Q27とダミービット線DBLとの結合関係と、ビット線プリチャージ回路30のMOSトランジスタQP2、QL2とビット線との結合関係から明らかなように、双方の回路34と30におけるそれらトランジスタのサイズが等しく、且つ、ダミービット線と非選択ビット線との負荷条件が実質的に同じならば、非選択ビット線のプリチャージレベルは、ダミービット線DBLのプリチャージレベルと実質的に同一、換言すれば、センスアンプが必要とするプリチャージレベル

(選択ビット線のプリチャージレベルでもある)と実質的に同一とされる。設計上、ダミービット線DBLと非選択ビット線との負荷条件が一致しない場合には、ダミープリチャージ回路34のMOSトランジスタQ26、Q27に対して、ビット線プリチャージ回路30のMOSトランジスタQP2、QL2とのトランジスタサイズを適当に決定するだけで、非選択ビット線のプリチャージレベルをセンスアンプ180が必要とするプリチャージレベルに一致させることができる。

についても全く同様であり、MOSトランジスタQ34~Q37は、センスアンプのMOSトランジスタQ14~Q17と同様の回路結合を備え、対応されるトランジスタと実質的に等しいトランジスタサイズを有して構成される。nチャネル型のMOSトランジスタQ35のコンダクタンスはダミーソース線DSLのレベルによって決定され、当該MOSトランジスタQ35とpチャネル型MOSトランジスタQ34との間のノードに得られる分圧電圧をnチャネル型MOSトランジスタQ37がゲートに受ける。このMOSトランジスタQ37はpチャネル型MOSトランジスタQ36と共にダミーソース線DSLと電源電圧Vddとの間に直列配置されている。前記MOSトランジスタQ35のドレインに得られる電圧がソース線プリチャージ回路31のMOSトランジスタQL1のゲートバイアス電圧330とされる。MOSトランジスタQ39、Q38はパワーダウンモードにおいてダミープリチャージ回路33を非活性化するためのトランジスタであり、前記ゲートバイアス電圧の決定には実質的に関与しないトランジスタとされる。電源投入後は、パワーダウンモードにされない限り、ダミーソース線DSLはプリチャージレベルを定常的に維持する。

【0079】非選択ソース線は、前記ゲートバイアス電圧330を受取るMOSトランジスタQL1とこれに直列接続されたMOSトランジスタQP1を介してプリチャージされる。ダミープリチャージ回路33のMOSトランジスタQ36、Q37とダミーソース線DSLとの結合関係と、ソース線プリチャージ回路31のMOSトランジスタQP1、QL1とビット線との結合関係から明らかなように、双方の回路33と31におけるそれらトランジスタのサイズが等しく、且つ、ダミーソース線と非選択ソース線との負荷条件が実質的に同じならば、非選択ソース線のプリチャージレベルは、ダミーソース線DSLのプリチャージレベルと実質的に同一、換言すれば、センスアンプ180が必要とするプリチャージレベル(選択ビット線のプリチャージレベルでもある)と実質的に同一とされる。設計上、ダミーソース線DSLと非選択ソース線との負荷条件が一致しない場合には、ダミープリチャージ回路33のMOSトランジスタQ36、Q37に対する、ソース線プリチャージ回路31のMOSトランジスタQP1、QL1とのトランジスタサイズを適当に決定するだけで、非選択ソース線のプリチャージレベルをセンスアンプ180が必要とするプリチャージレベルに一致させることができる。

【0080】このように、センスアンプ180の検出段回路(Q14~Q17)と実質的に等しいプリチャージ特性を持つダミープリチャージ回路33、34と、メモリアレイの基本的な回路構成と等価なダミーメモリアレイ32を設け、ダミービット線DBLとダミーソース線DSLを定常的にダミープリチャージ回路33、34でプリチャージされるように構成される。

用いて、そのダミープリチャージにて得られるプリチャージレベルと等価的なプリチャージレベルを非選択ソース線及び非選択ビット線に形成するから、非選択ビット線と非選択ソース線とのプリチャージレベルを、センスアンプ180の必要とするプリチャージレベルに精度良く合わせることができる。したがって、選択ビット線から非選択ビット線又は非選択ソース線に不所望な電流が流れてセンスアンプ180が読み出しデータを誤検出することを防止できる。更に、非選択ビット線が選択状態に転じられたとき、当該選択ビット線のレベルは既に、

10 センスアンプ180が必要とするレベルに精度良く合わせられているから、センスアンプ180が選択ビット線を積極的にプリチャージすることを実質的に要せず、センスアンプの高速動作を保証できると共に、前記誤検出防止を高い精度をもって実現できる。その上、プリチャージのためのバイアス信号330、340は実際の回路と等価な回路32、33、34を介して形成されるから、プロセスばらつきの影響も受けることなく上記効果を得ることができる。

【0081】《NAND型マスクROM》 図12には

20 NAND型マスクROMにおける一つのメモリブロックの基本的な回路構成が示される。図12に例示されたNAND型のマスクROMは、1本のビット線BL1に対して複数のメモリセルQMMの直列接続回路（メモリセル列）ML1、ML2を2個備え、夫々の直列回路ML1、ML2の一端は接地電位Vssに、直列回路ML1の他端はセレクトMOSトランジスタQds1を介してビット線BL1に、直列回路ML2の他端はセレクトMOSトランジスタQds2を介してビット線BL1に接続される。このようなメモリセル配置は、実際には図

30 12の紙面の横方向に多数繰り返されて、一つのメモリブロックを構成する。セレクトMOSトランジスタQds1はセレクト線DS1によってスイッチ制御され、セレクトMOSトランジスタQds2はセレクト線DS2によってスイッチ制御される。メモリセルトランジスタQMMのゲートはそれぞれの行に対応して配置されたワード線W1～W16に結合される。

【0082】前記メモリセルトランジスタQMMは、それがデプレッション型とされるか又はエンハンスメント型にされるかに応じて情報を記憶している。アドレス信号で選択されるべきワード線はメモリセルの非選択レベルに駆動され、アドレス信号で非選択とされるべきワード線はメモリセルの選択レベルに駆動されることにより、メモリセル列（ML1、ML2）に直流電流経路が形成されるか否かによって、記憶情報の読み出しが行われる。このとき、セレクト線DS1、DS2によってメモリセル列ML1又はML2の何れか一方が選択される。

【0083】メモリマットは、図12のメモリブロック

る。例えば図13に示されるように8個のメモリブロックMBLK（#1～#8）によって1個のメモリマットが構成される。

【0084】オン状態にすべきメモリセルトランジスタQMMのコンダクタンスを十分に大きくするためにはワード選択レベルを昇圧する事が、読み出し動作の高速化に都合がよい。このとき、NAND型のマスクROMは2本のメモリセル列ML1、ML2の中から1本をセレクトMOSトランジスタQds1、Qds2で選択してビット線に接続する。したがって、ビット線から接地電位Vssへの電流経路には、セレクト線によって選択されたセレクトMOSトランジスタも介在されることになる。セレクトMOSトランジスタQds1、Qds2はメモリアレイの構成上、実質的にメモリセルトランジスタQMMと同一のサイズとされている。このためメモリセルトランジスタQMMを選択するワード線の選択レベルのみを昇圧しても、センスアンプ180で検出できる電流変化を増大させることは出来ない（読み出し動作の高速化を実現できない）。これを考慮して、ワード線W1～W16の選択レベルと共にセレクト線DS1、DS2の選択レベル2も、昇圧回路5で昇圧された昇圧レベルVCHにされる。ワード線選択レベルと共にセレクト線選択レベルを電源電圧以上に昇圧することにより、データ読み出し時にビット線に流れる電流が大きくなり、換言すればビット線を介する電流変化が速くなり、このことにより、センスアンプ180は電流変化を即座に検出でき、データ読出し速度を高速化することができる。この事情は上記NOR型のマスクROMの場合と同じである。

【0085】図13の例に従えば、読み出し動作では、ビット線を相互に共有する8個のメモリブロックMBLKの中から1個のメモリブロックMBLKにおいてセレクト線の選択を行うようにし、ワード線W1～W16の選択動作は8個のメモリブロックMBLKで共通に行うようにされる。これによってワードドライバのドライバの数を低減してそれによるチップ専有面積を低減することができる。図13には、8個のメモリブロックMBLK（#1）～MBLK（#8）に対応されるドライバDW111、WD101が代表的に示されている。同図においてデコーダ500は、ワード線とセレクト線のデコード論理を渾然一体に含んでいる。これに示されるデコード論理は単なる一例である。図13に代表的に示されるドライバDW111、WD101は図4に基づいて説明したものと同一であり、それに供給される昇圧電圧VCHも前記昇圧回路5と同じ回路から供給される。図13に従えば、デコーダ500の出力は、ローレベルが選択レベルとされる。ドライバWD101において、出力信号線SW1が非選択レベル（ハイレベル）にされるとき、トランジスタQ3がオン状態にされ、これによ



にされる。出力信号線SW1が選択レベル（ローレベル）にされているとき、トランジスタ、Q2Q3がカットオフ状態にされ、これによってワード線W1には選択レベルとしての昇圧電位VCHが供給される。

【0086】このようなNAND型のマスクROMにおいて、選択されるべきセレクト信号線とアドレス信号によって選択されるべきワード線を除く非選択ワード線との全てを昇圧電圧VCHで駆動することによりメモリセルに流れる電流値を増すことができ、センスアンプ180による電流変化の検出が早くなって、アクセスの高速化を実現することができる。

【0087】以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0088】例えば、ATD回路によるパルス駆動でセルフブースト回路を構成し1回のチャージポンプでワード線により消費される電荷を補充する回路を主体として昇圧回路を構成してもよい。この場合にはチャージをロスしないためのタイミング制御が必要であるが、必要とするエネルギーは最小となる。また、NOR型メモリアレイは1本のビット線に対するサブビット線の本数を4本以外とする構成に変更可能である。同様にNAND型メモリアレイは1本のビット線に対するメモリセル列を2列以上とすることも可能である。メモリアレイの記憶容量、メモリマツトの数などは適宜変更することができる。1個のドライバによるワード線の駆動本数も上記実施例に限定されず適宜変更することができる。また、昇圧回路については、レベルセンス回路45、発振回路43、チャージポンプ回路40を省略して構成することも可能である。

【0089】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるマスクROMに適用した場合について説明したが、EPROM、EEPROM、フラッシュメモリ等にも適用することができる。また、本発明に係る半導体記憶装置は、単体のメモリLSIに限定されず、マイクロコンピュータなどの論理LSIにオンチップされる半導体記憶装置にも適用可能である。

【0090】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0091】〔1〕メモリセルトランジスタやセレクトトランジスタの選択駆動用電源として昇圧回路を採用するから、選択されたメモリセルトランジスタ及びセレクトトランジスタを介して生ずる電流変化が大きくされ、その変化を検出するセンスアンプの検出速度が向上され、アクセスの高速化を実現することができる。

タとセレクトトランジスタの制御ゲート電圧を電源電圧よりも高くすることによって、メモリセルトランジスタとセレクトトランジスタのコンダクタンスを大きくして、それらを介してビット線に流れる電流を多くしようとするものであるから、必要なメモリセル電流を確保するための最低の昇圧動作だけを行うことによって、無駄な昇圧動作による電力消費の増大を抑えることができる。最低限の昇圧電位を保証し、且つ、昇圧電位が高くなり過ぎないようにするための制御を、半導体記憶装置の動作状態に応じて行うことにより、昇圧動作の制御を簡素化することができる。

【0093】〔3〕バーストリードのためのページ選択回路の前段で、不良ビットのデータを救済データへ置き換えることにより、特定のアドレス信号を変化させて行われるバースト読み出しにおいて救済回路の動作状態を変化させることを要しない。換言すれば、救済回路の動作時間はバーストアクセス時間に影響を与えない。これにより、バースト読み出し動作速度は、読み出し対象データが救済されるべきビットを含んでいるか否かによらず一定とされ、バースト読み出し動作の高速化に寄与する。

【0094】〔4〕NOR型メモリアレイにおいて、非選択ビット線と非選択ソース線を直接プリチャージする回路を設けることにより、センスアンプは選択ビット線を実質的にプリチャージすることを要せず、この点においてセンスアンプの検出動作を早めることができる。

【0095】〔5〕非選択ビット線のプリチャージレベルを、センスアンプの検出段回路と等価なダミープリチャージ回路によって制御することにより、非選択ビット線と非選択ソース線のプリチャージレベルを、センスアンプが必要とするプリチャージレベルに精度良く合わせることが容易である。それ故に、非選択状態から選択状態に転じたビット線のプリチャージレベルは、センスアンプが必要とするプリチャージレベルに精度良く合わせてられている。これにより、センスアンプは選択ビット線を実質的にプリチャージする事を要せず、速やかに検出動作に移行することができるので、センスアンプの動作を高速化することができる。しかも、選択ビット線から、非選択ビット線又は非選択ソース線に不所望な電流が流れることによってセンスアンプが誤検出したり検出動作が遅れたりする事態を防止することが出来る。特に、メモリアレイの基本的な回路構成と等価なダミーメモリアレイのダミービット線とダミーソース線を定常的にダミープリチャージ回路でプリチャージするときに得られる電圧を用いて、非選択ソース線及び非選択ビット線のプリチャージレベルを形成することにより、プロセスばらつきの影響を実質的に受けることなく、非選択ビット線及び非選択ソース線のプリチャージレベル、そして非選択から選択状態に転じられたビット線のレベルを、センスアンプが必要とするプリチャージレベルに高

精度に制御することができ



## 【図面の簡単な説明】

【図1】本発明の一実施例に係るNOR型マスクROMの全体的ブロック図である。

【図2】図1のマスクROMにおける1個のメモリブロックMBLKの基本的な構成を示す回路図である。

【図3】1個のメモリマットMMATの全体的な構成を示すブロック図である。

【図4】ワード線及びセレクト線のドライバとワード線駆動形式を示す一例説明図である。

【図5】ワード線及びセレクト線の駆動電圧を形成する昇圧回路の一例ブロック図である。

【図6】昇圧回路に含まれるチャージポンプ回路の一例回路図である。

【図7】昇圧回路に含まれる発振回路の一例回路図である。

【図8】昇圧電圧の上限レベルを検出するレベル検出回路の一例回路図である。

【図9】昇圧電圧として必要な最低限のレベルを検出するレベル検出回路の一例回路図である。

【図10】マスクROMに含まれる救済回路の一例ブロック図である。

【図11】メモリアレイのビット線及びソース線をプリチャージするためのプリチャージ回路、ダミーメモリアレイ、ダミープリチャージ回路の一例回路図である。

【図12】NAND型マスクROMにおける一つのメモリブロックの基本的な一例回路構成を示す回路図である。

【図13】NAND型マスクROMにおけるワード線駆動形式とワード線及びセレクト線のドライバを示す説明図である。

## 【符号の説明】

2 メモリアレイ  
MMAT メモリマット  
MBLK メモリブロック  
BL1~BL256 ビット線  
W1~W32 ワード線  
SL1~SL257 ソース線

QM メモリセルトランジスタ

SB1~SB4 サブビット線

DS1, DS2, SS1, SS2 セレクト線

Qds1, Qds2, Qss1, Qss2 セレクトトランジスタ

3 ワードドライバ

WD101~DW832 ワード線用のドライバ

4 セレクト線ドライバ

DW111~DW882 セレクト線用のドライバ

5 昇圧回路

40, 41, 42 チャージポンプ回路

43, 44 発振回路

45, 46. レベルセンス回路

VCH 昇圧電位

6 ワード線Xデコーダ

φATD アドレス変化検出パルス

7 アドレス変化検出回路

10 セレクト線Xデコーダ

14 ソース線選択回路

15 ソース線Yデコーダ

18 センスアンプ回路

180 センスアンプ

Q14~Q17 検出段回路

Q24~Q27 検出段階路と等価な回路

Q34~Q37 検出段階路と等価な回路

19 救済回路

207 救済位置情報

210 救済データ

20 マルチプレクサ

30 22 ページ選択回路

23 ページデコーダ

30 ビット線プリチャージ回路

31 ソース線プリチャージ回路

32 ダミーメモリアレイ

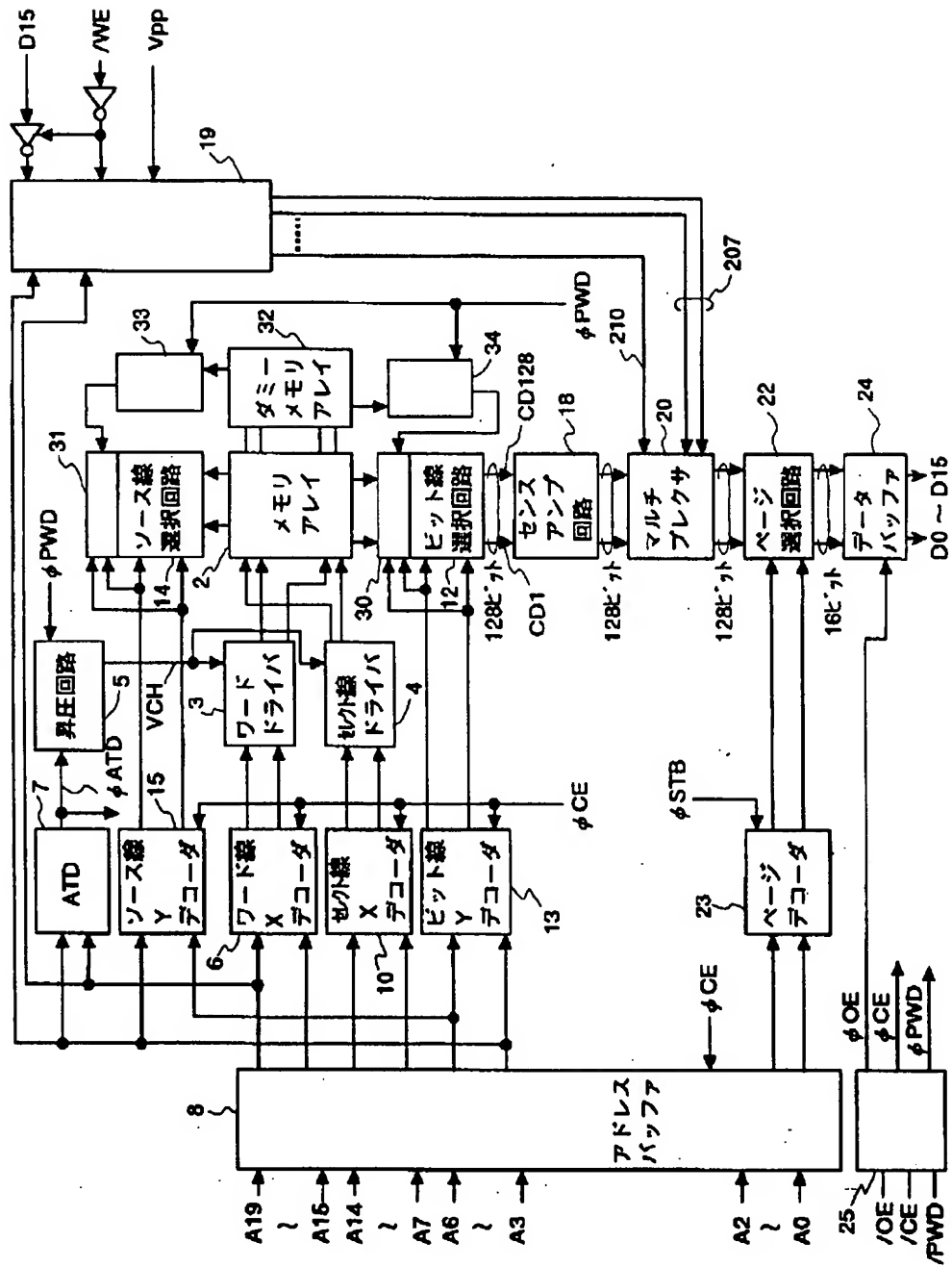
33 ダミーソース線プリチャージ回路

34 ダミービット線プリチャージ回路

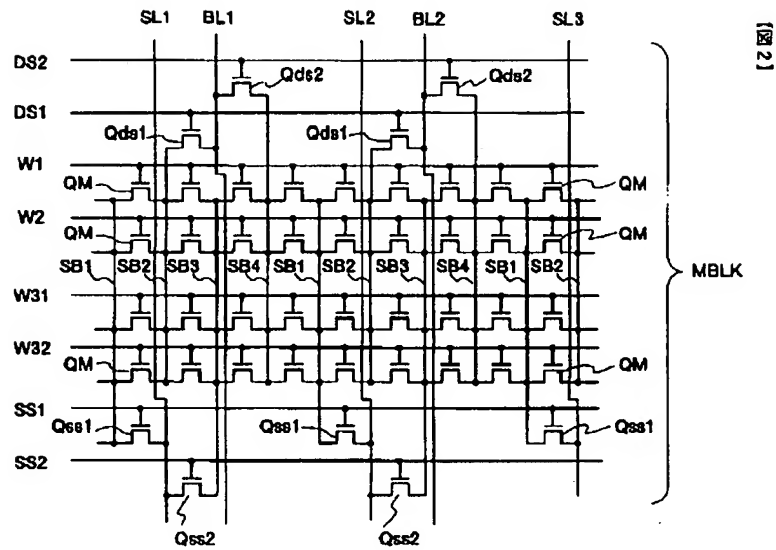
330, 340 制御電圧信号

【図1】

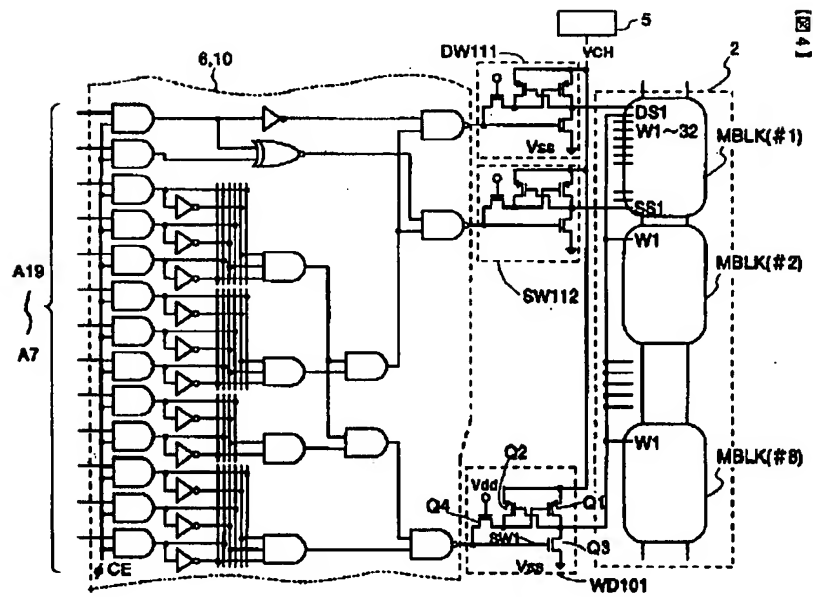
【図1】



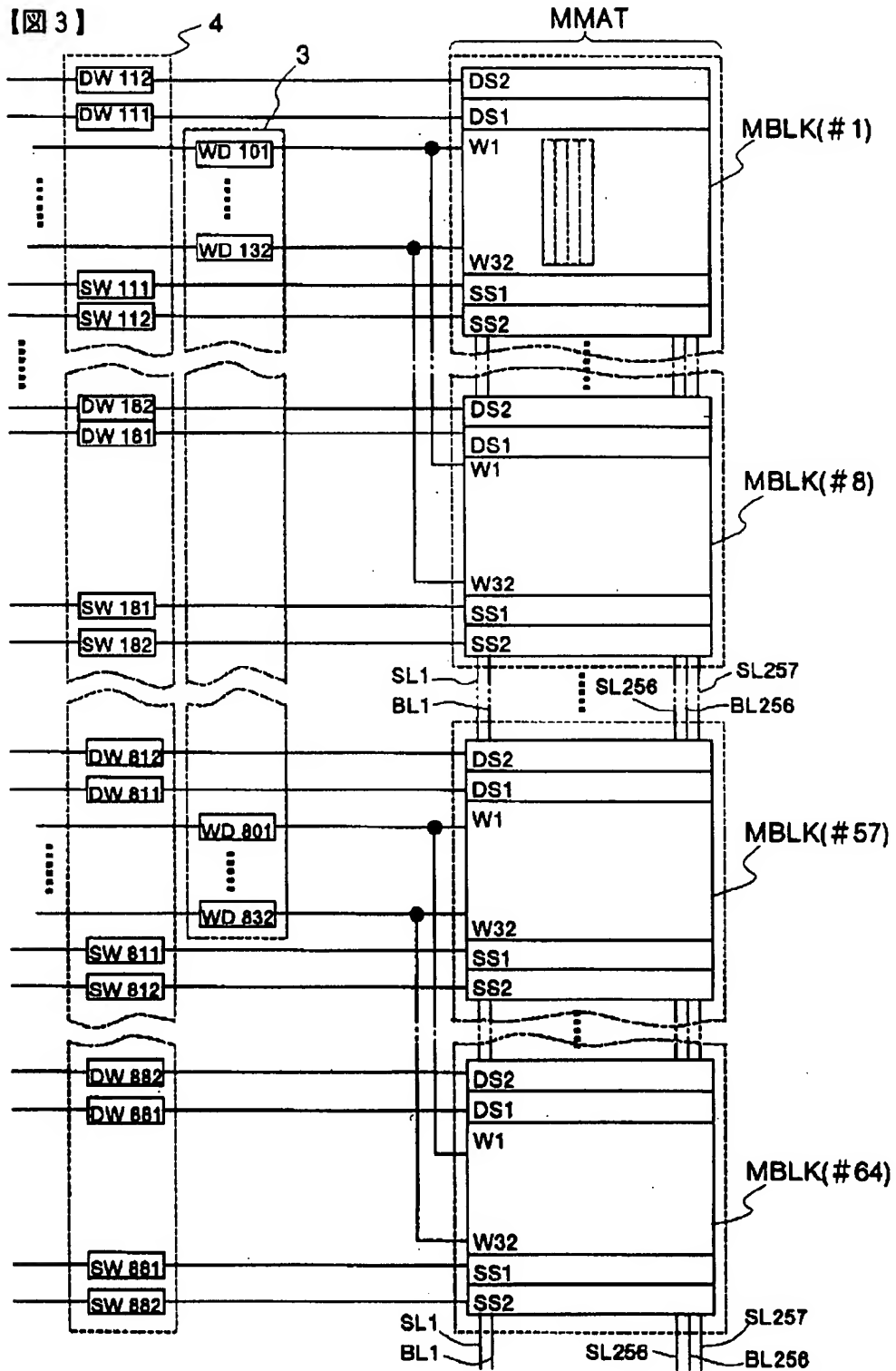
【図2】



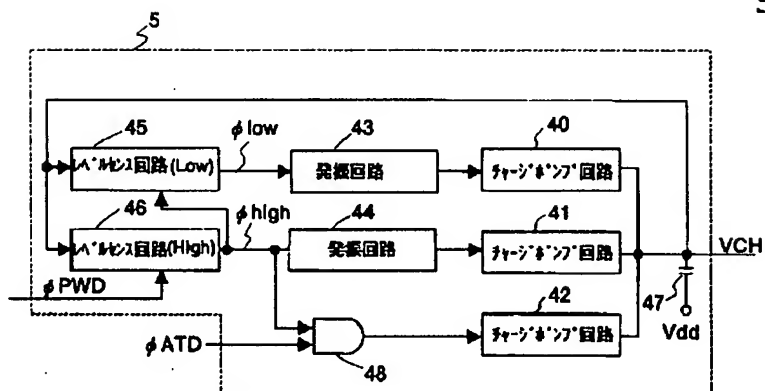
【図4】



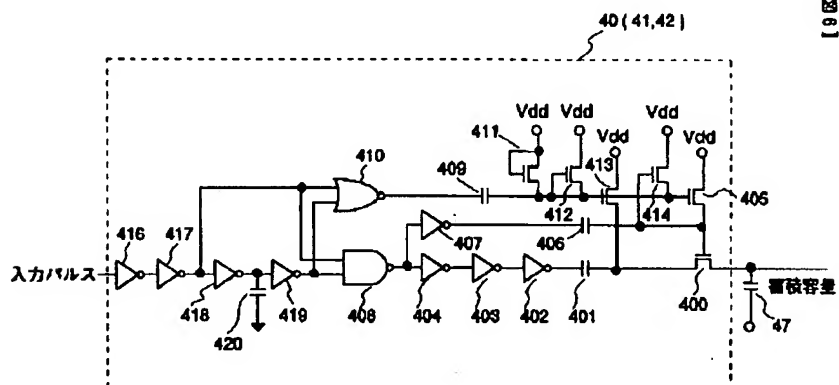
【図3】



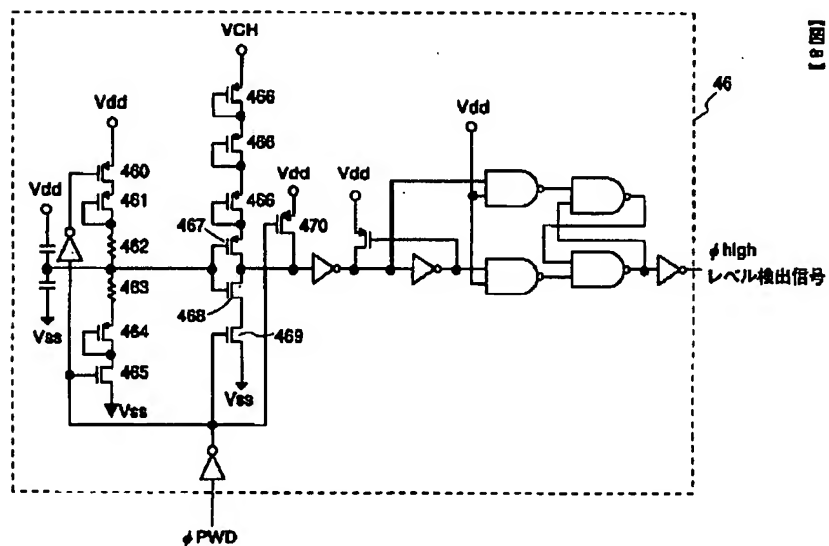
**【例 5】**



**[ 98 ]**

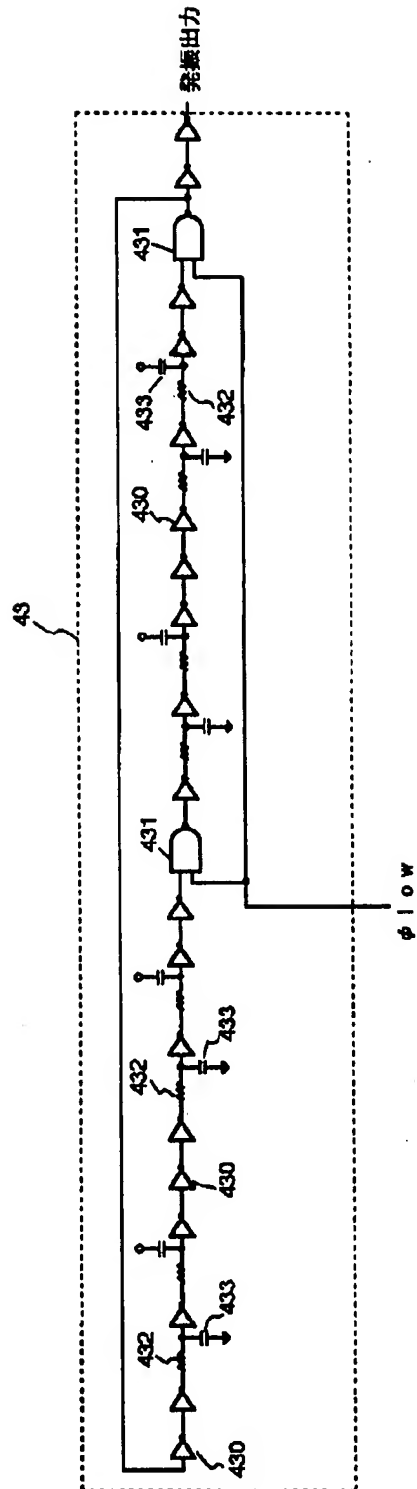


**【附】**



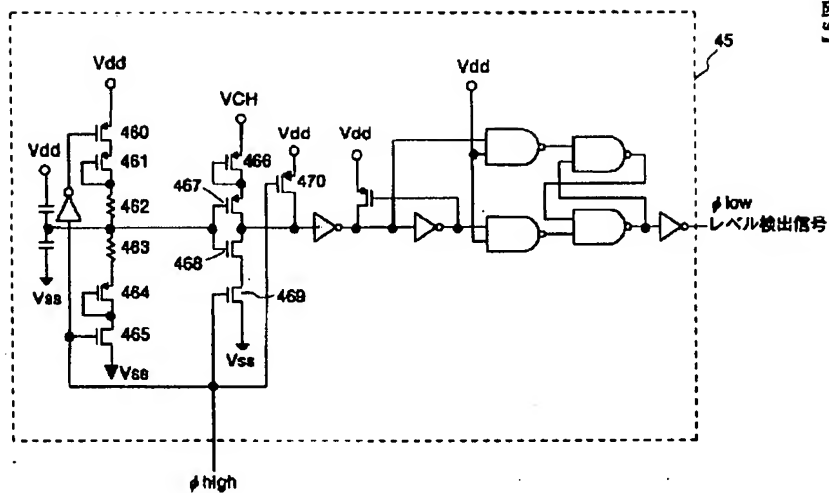
【図7】

【図7】

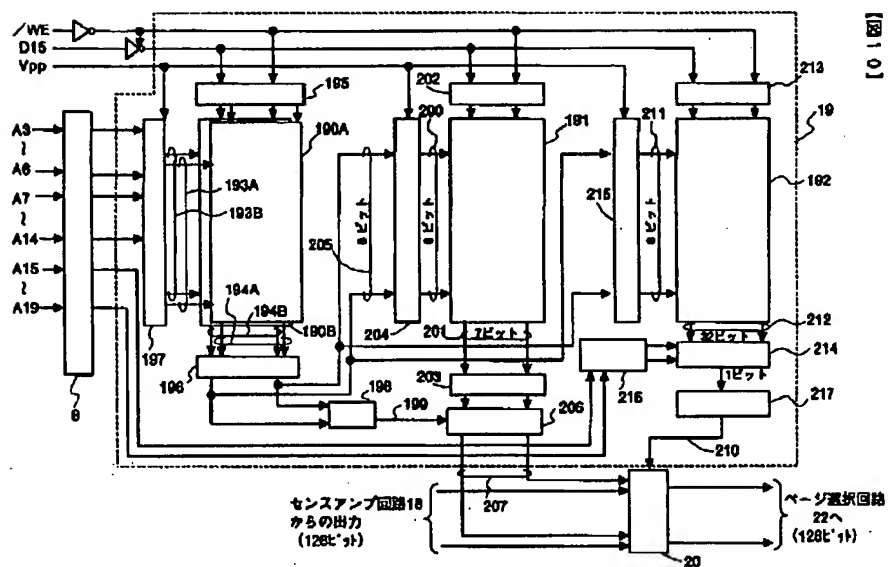




**【例 9】**

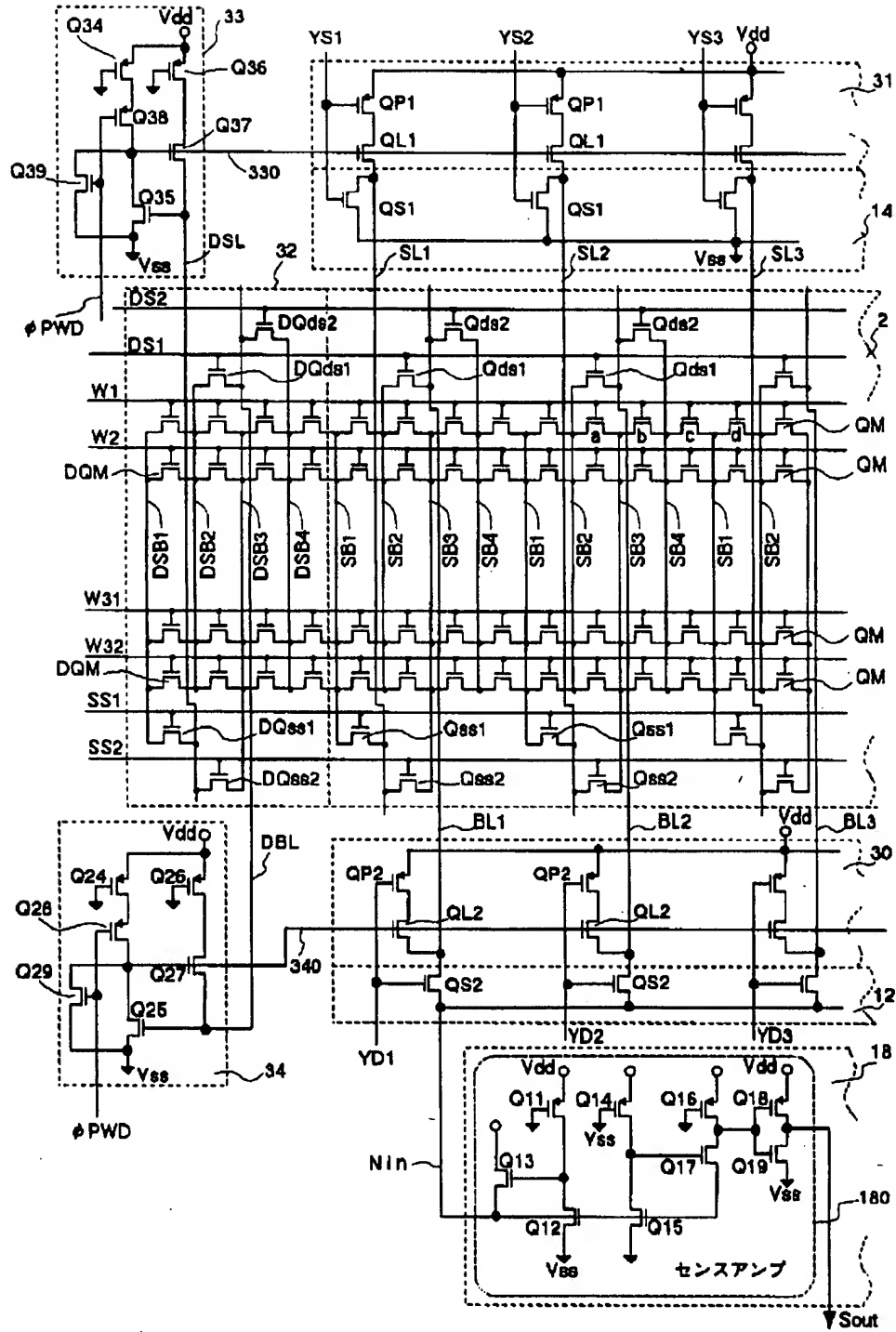


**【圖 10】**



【図11】

【図11】



## フロントページの続き

- (72)発明者 高鹿 照久  
東京都小平市上水本町5丁目20番1号 日  
立超エル・エス・アイ・エンジニアリング  
株式会社内
- (72)発明者 小嶋 文夫  
東京都小平市上水本町5丁目20番1号 日  
立超エル・エス・アイ・エンジニアリング  
株式会社内
- (72)発明者 吉井 康浩  
東京都小平市上水本町5丁目20番1号 株  
式会社日立製作所半導体事業部内
- (72)発明者 藪押 法之  
東京都小平市上水本町5丁目20番1号 株  
式会社日立製作所半導体事業部内

- (72)発明者 竹田 敏文  
東京都小平市上水本町5丁目20番1号 株  
式会社日立製作所半導体事業部内
- (72)発明者 酒井 菊雄  
東京都小平市上水本町5丁目20番1号 日  
立超エル・エス・アイ・エンジニアリング  
株式会社内
- (72)発明者 和田 武史  
東京都小平市上水本町5丁目20番1号 株  
式会社日立製作所半導体事業部内
- (72)発明者 川本 洋  
東京都小平市上水本町5丁目20番1号 株  
式会社日立製作所半導体事業部内